SF32LB56x

芯片技术规格书

V1.9.2

文档编号：**DS5601-SF32LB56x-CN**

思澈科技（南京）有限公司
http://www.sifli.com

更新历史

文档状态说明

文档状态	版本范围	说明
草稿	0.0.0 ~0.9.9	初稿，非正式发布，信息为初步数据，反映量产前产品的规格与性能，不能保证准确性，随时可能更改，思澈科技将不会主动通知
发布版	1.0.0 ~1.9.9	正式发布，信息有可能还会小范围修正，以便更准确地反映量产产品的规格与性能；如有更改，思澈科技将不会主动通知

本文档更新历史

日期	版本	发布说明
2025-04-01	1.9.2	增加了 I/O 特性的表格
2025-03-10	1.9.1	修正了 SPI 所能支持的数据位宽的描述
2024-10-31	1.9	增加了 SF32LB566 型号的相关信息
2024-08-05	1.8	修正了表 4-11 中的单位
2024-07-26	1.7	更新 DPI/RGB 和最大分辨率信息
2024-05-15	1.6	更新 GPADC 特性
2024-03-06	1.5	增加 IO 驱动能力相关信息
2024-02-23	1.4	调整表格格式
2024-01-26	1.3	更新 Tstorage 温度范围
2023-11-22	1.2	更新可靠性数据
2023-09-22	1.1	内置 1MB QSPI NOR Flash 修改为“512KB/1MB QSPI NOR Flash”
2023-06-27	1.0	添加 YUV
2023-03-13	0.9	修正少量文字细节
2023-02-28	0.8	更新功耗数据和音频数据
2023-02-16	0.7	更新无线连接参数
2023-01-04	0.6	改进外设部分细节
2022-12-07	0.5	更新蓝牙射频数据
2022-11-18	0.4	添加 PSA Certified Level 1 认证
2022-11-07	0.3	增加封装相关信息
2022-10-20	0.2	修正 PBR 管脚信息
2022-09-20	0.1	初稿

产品概述

SF32LB56x 是一系列用于超低功耗人工智能物联网（AIoT）场景下的高集成度、高性能 MCU 芯片。芯片采用了基于 Arm Cortex-M33 STAR-MC1 处理器的大小核架构，集成高性能 2D/2.5D 图形引擎，人工智能神经网络加速器，双模蓝牙 5.3，以及音频 Codec，可广泛用于腕带类可穿戴电子设备、智能移动终端、智能家居等各种应用场景。

芯片中大核性能处理器最高工作频率达 240MHz，单核性能达 984 CoreMark，用于提供丰富应用和流畅人机交互所需的高性能算力。小核低功耗处理器最高工作频率 96MHz，性能达 394 CoreMark，功耗效率 3.3uA/CoreMark，在作为 Sensor Hub 控制多种传感器的同时兼顾运行蓝牙协议栈，从而很好地兼顾流畅人机交互所需的高计算性能与长待机时间所需的超低功耗运行之间的平衡关系。

芯片内集成 2D/2.5D GPU，主频最高达到 240MHz，支持四图层叠加，alpha 混叠，硬件加速的实时旋转和缩放，以及各种常用图形格式转换。支持硬件加速无损压缩图形解压缩，支持原生动画，可以大幅提高带宽利用率，降低存储成本。芯片内置 LCD 控制器，支持 8080/QSPI/JDI 等多种接口，可不依赖于 CPU 自主实现最高 60fps 的全屏刷新帧率，并支持低功耗息屏常显。

集成世界水平的双模蓝牙 5.3 收发机，经典蓝牙 EDR2 模式最高发射功率 13dBm，接收峰值功耗低至 2.2mA@3.3V，低功耗蓝牙接收灵敏度达到-100dBm（1Mbps），经典蓝牙 EDR2 模式灵敏度-95.5dBm。集成高保真音频 ADC 和 DAC，支持蓝牙通话和连接耳机 MP3 播放。

功能框图

图 0-1: 功能框图

产品特性

CPU 与内存

- 性能处理器/大核（HCPU）
  - 处理器：Arm Cortex-M33 STAR-MC1
  - 主频：最高 240MHz，可调节
  - 最高 370DMIPS，984EEMBC CoreMark
  - I/D-Cache：32KB(2-way)+16KB(4-way)
  - SRAM：800KB （其中 128KB 为 Retention SRAM）
  - CoreMark 功耗效率：<34uA/MHz @3.3V
  - 单精度浮点运算单元（FPU）
  - 内存保护单元（MPU）
- 超低功耗处理器/小核（LCPU）
  - 处理器：Arm Cortex-M33 STAR-MC1
  - 主频：最高 96MHz，可调节
  - 最高 148DMIPS，394 EEMBC CoreMark
  - I/D-Cache：16KB(2-way)+8KB(4-way)
  - SRAM：160KB（全部为 Retention SRAM）
  - CoreMark 功耗效率：<13.5uA/MHz @3.3V
  - 单精度浮点运算单元（FPU）
  - 内存保护单元（MPU）

无线连接

- 双模蓝牙 5.3，支持 BLE Audio
- 灵敏度：-100dBm（BLE/1Mbps），-96.3dBm（BR），-95.5dBm（EDR2），-88.5dBm（EDR3）
- 最大发射功率：13dBm (EDR2/3)，19dBm (BR/BLE)
- 接收机峰值功耗（BR）：2.2mA@3.3V

图形显示

- 2D/2.5D 图形引擎—ePicasso™2.0
  - 支持四图层 alpha 混叠，外加纯色背景图层
  - 支持硬件加速的旋转、缩放和镜像
  - 最大解析度 1024×1024
  - 支持 aRGB8565，aRGB8888，L8，A8/4，YUV，支持 alpha 混叠
- 无损解压缩加速器—eZip™2.0
  - 硬件无损图形解压缩，支持无损动画 eZip-A
  - 支持 aRGB8565，aRGB8888，L8，A8/4 格式
  - 支持与 ePicasso™2.0 联动，无须中间缓存
- LCD 控制器
  - 支持 8080，SPI，Dual-SPI，Quad-SPI，DPI/RGB，JDI 接口
  - 支持两图层 alpha 混叠，外加纯色背景图层
  - TurboPixel™ 帧缓存压缩与解压缩

音频

- 1× 高保真 24-bit 音频 DAC
  - 采样率：8k /16k /11.025k /22.05k /24k /32k /44.1k /48kHz
  - SNR(with 10kOhm load and A-Weighted)：109dB
  - THD+N：-99dB, Dynamic Range：109dB
  - Noise Floor：3.3 μVrms
- 1× 高保真 24-bit 音频 Sigma-Delta ADC
  - 采样率：8k/ 11.025k /12k /16k /22.05k /24k /32k /44.1k /48kHz
  - SNR(A-Weighted)：99dB
  - THD+N：-80dB, Dynamic Range：99dB
- 2×PDM 数字麦克风输入
- 1×I^2S
- 音频采样率转换加速器
- 音频 EQ 均衡加速器

神经网络矩阵加速器

- 面向 TinyML 场景，高效率完成矩阵卷积运算
- 最高处理能力达到 1.92GOPS
- 功耗效率高于 10TOPS/W

数字信号处理加速器

- 大核中有一个 FFT 加速器
- 大核中有一个 FIR 滤波器加速器
- 每个处理器各配备一个 CORDIC 三角函数协处理器

存储接口

- 4×MPI (QSPI)，支持 QSPI-NOR、SPI-NAND、QPI/OPI-PSRAM
- 2×SD/SDIO/eMMC，4 线、8 线各一套，支持 SD3.0，SDIO3.0，以及 eMMC4.51

系统时钟

- 振荡器
  - 48MHz 晶体振荡器
  - 低功耗 RC 振荡器：1MHz，48MHz
  - 超低功耗 RC 振荡器：10KHz
  - 超低功耗 32.768KHz 晶体振荡器，可选配
- PLL
  - 专用音频 PLL
  - 3×PLL，最高频率 384MHz，以 24MHz 为单位

安全

- AES 加速器
- HASH 加速器
- CRC 加速器
- 真随机数发生器（TRNG）
- 支持安全启动（Secure Boot）
- 内置 1024-bit eFuse，可存储信任根（Root of Trust）和唯一 ID（UID）
- PSA Certified Level 1 认证

其它

- DMA
  - 通用 DMA：用于与外设间高效率数据搬运
  - extDMA：用于与外部存储间高效率数据搬运
- 定时器
  - 5×16b GPTIM，1×32b ATIM，4×32b BTIM，3×24b LPTIM
  - 1×RTC
  - 2× 看门狗 24b WDT，1× 独立看门狗 IWDT
- 模拟
  - 1×12-bit 通用 SAR ADC，共 8 通道
  - 1× 片上温度传感器
  - 2× 低功耗电压比较器
- 连接外设
  - 6×UART，7× I^2C，4×SPI，1×ISO7816
  - 1×USB2.0 FS
  - SIM 卡控制器
  - 外设任务控制器（PTC）
- 电源管理
  - 输入电压：1.7-3.6V，-40 到 85°C
  - 内置高效率 Buck 及低功耗 LDO
  - RTC 工作下的休眠功耗：600nA
  - 管脚唤醒配置时的休眠功耗：300nA

封装

- WBBGA175，120 个 GPIO，6.5×6.1×0.94mm
- QFN68L，44 个 GPIO，7×7×0.75mm

应用场景

智能穿戴

- 高端智能手表
- 智能手环
- 可穿戴医疗器材
- 健身器材

工业

- 高性价比显示方案
- 图形化人机交互设备
- 工业传感器控制中心
- 工业设备监测
- 工业仪器仪表

车载

- 电动车中控设备
- 汽车钥匙
- 穿戴式汽车遥控设备

家庭自动化

- 中小型智能家电
- 智能门锁

通用

- 低功耗传感器中心
- 蓝牙 mesh

目录

插图

表格

1 芯片总览

1.1 系统架构

SF32LB56x 是一系列用于超低功耗人工智能物联网（AIoT）场景下的高集成度、高性能 MCU 芯片。芯片采用了基于 Arm Cortex-M33 STAR-MC1 处理器的大小核架构，其中：

- 性能处理器/大核（HCPU）：最高主频 240MHz，配备 32KB 指令缓存（I-Cache）和 16KB 数据缓存（D-Cache），800KB SRAM（其中 128KB 为 Retention SRAM）；作为系统主控，能够高效访问片内和片外存储，主要用于系统控制、人机交互、高性能计算等。
- 超低功耗处理器/小核（LCPU）：最高主频 96MHz，配备 16KB 指令缓存（I-Cache）和 8KB 数据缓存（D-Cache），160KB SRAM（全部为 Retention SRAM）；主要作为系统的超低功耗传感器中心（Sensor Hub）和低功耗蓝牙连接的控制器，满足超低功耗场景下的各种数据采集、处理、传输与控制需求。

1.2 Cortex-M33 STAR-MC1 “星辰”处理器

Cortex-M33 STAR-MC1 处理器是安谋中国（Arm China）推出的“星辰”系列产品的第一款处理器，该处理器继承了 Cortex-M33 的主要特点，支持现有的 Arm v8-M 架构的全部功能，具有有序（in order）三级流水线，可显著降低系统功耗，具有部分双发射 16 位指令能力，并进一步改进了协处理器接口，增加了对缓存（Cache）的支持。

Cortex-M33 STAR-MC1 性能达到 1.5DMIPS/MHz 和 4.02Coremark/MHz，与上一代同档位 Arm 处理器相比，在相同主频下，Cortex-M33 STAR-MC1 的性能提升 20%。

Cortex-M33 STAR-MC1 提供了协处理器（Coprocessor）接口，以便根据不同场景需求进一步提高定制计算的能力。通过 MCR（Move from Coprocessor to Register）和 MRC（Move from Register to Coprocessor）指令，可以在 Cortex-M33 STAR-MC1 和协处理器之间转移寄存器数据和计算结果数据，非常适合所需数据量不大、计算复杂但相对碎片化、延迟较小的运算。在协处理器计算的同时，Cortex-M33 STAR-MC1 处理器仍然可以并行执行其它指令，从而明显提高执行效率。

此外，该处理器还支持数字信号处理（DSP）指令集和浮点数运算单元（FPU）。

Cortex-M33 STAR-MC1 引入了紧耦合内存（TCM）和缓存（Cache）技术，增强了各种不同特点的内置和外置存储系统的使用灵活性，确保在各种不同场景下处理器响应的实时性和计算效率。

1.3 性能处理器（大核）系统（HPSYS）

1.3.1 总线架构

HPSYS 内部提供了基于 AHB 协议的总线矩阵，支持多个主设备并行访问多个从设备地址空间。

如图1-1所示，总线主设备位于上侧，从设备地址空间位于右侧，交叉处的黑色圆点代表总线连通。

HCPU 能够访问 HPSYS 的所有地址空间，并能通过 HP2LP 跨核访问 LPSYS 的所有地址空间。

DMAC1 能够访问 HPSYS 的所有地址空间，并能通过 HP2LP 跨域访问 LPSYS 的所有地址空间。

LPSYS 的部分主设备能够通过 LP2HP 跨域访问 HPSYS 的地址空间。

HPSYS_ITCM 仅能由 HCPU 和 DMAC1 访问。DTCM 与 HPSYS_RAM0 共享 128KB 地址空间，可由 HCPU 及其它主设备访问。

多个主设备同时访问同一个从设备地址空间时，基于轮询仲裁原则决定访问次序。

图中边框不相连的多个主设备同时访问不同从设备地址空间时，互相不受影响。边框相连的两个主设备同时发起访问时，基于固定优先级或轮询仲裁原则决定访问次序。

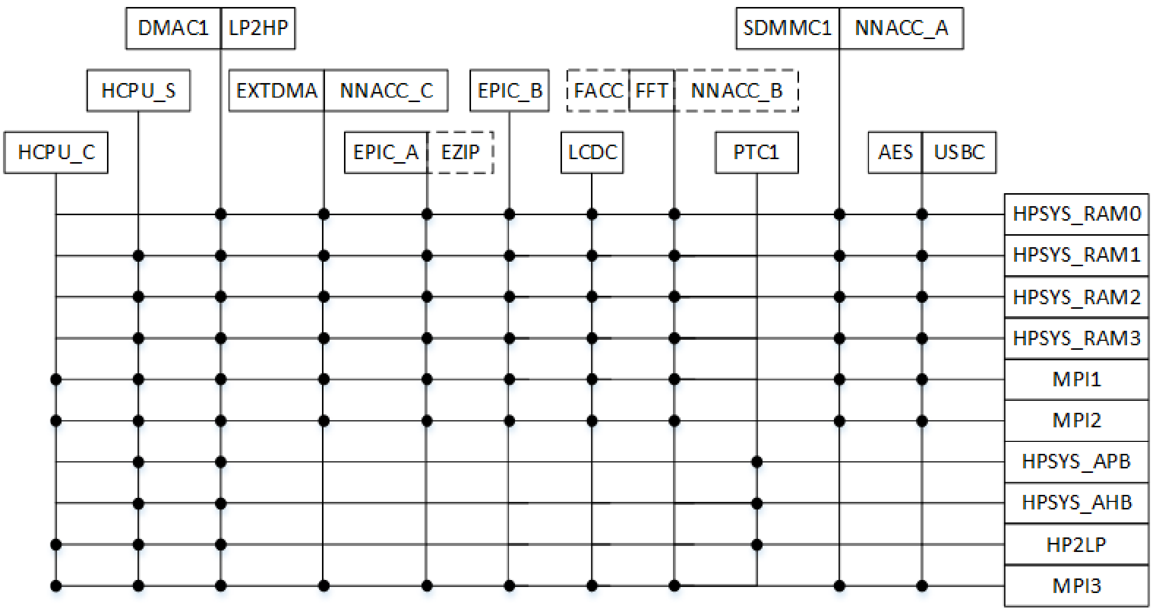


图 1-1: 性能处理器（大核）系统总线架构

1.3.2 时钟架构

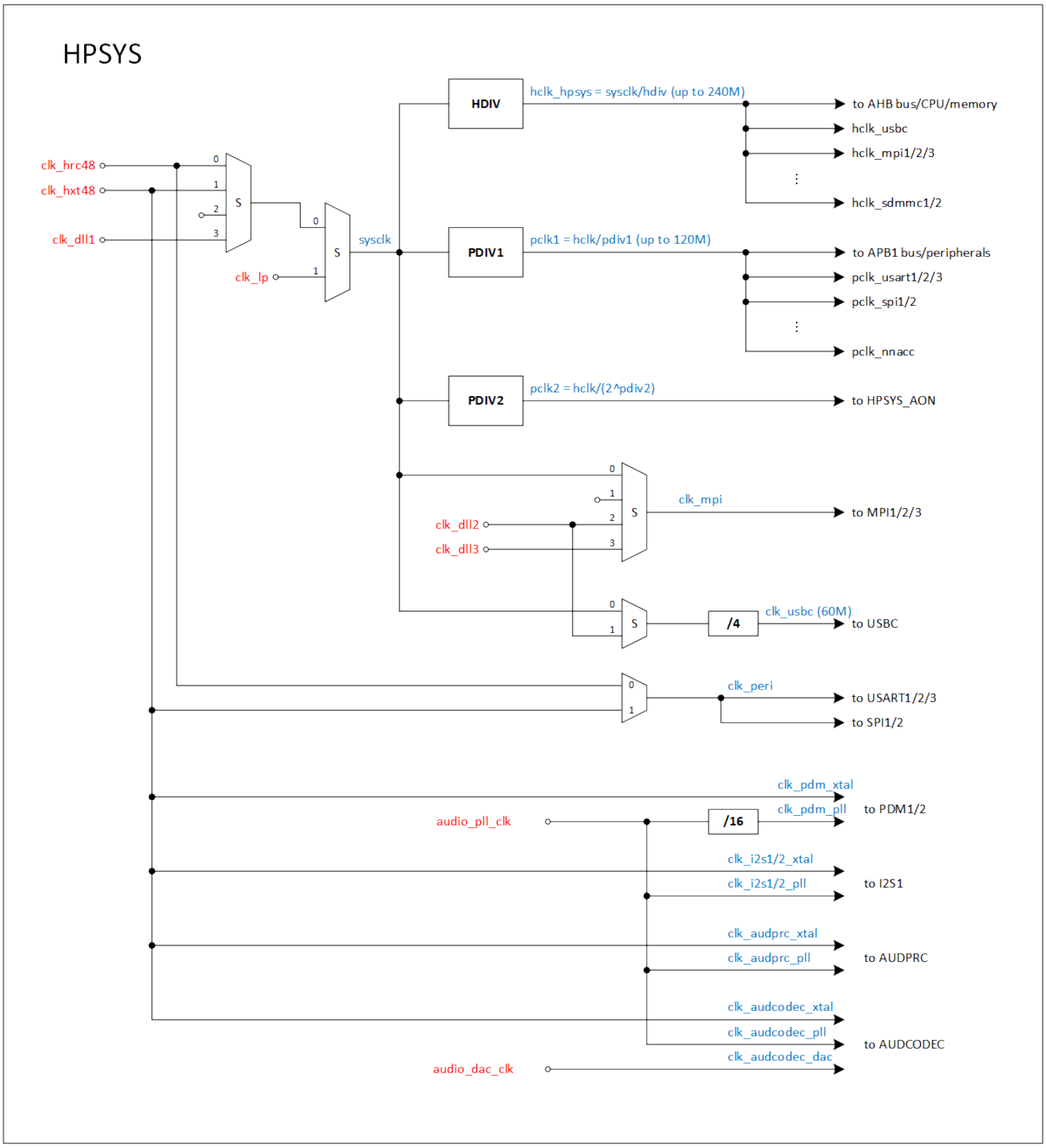


图 1-2: HPSYS 时钟架构

1.3.3 存储器类型

1.3.3.1 Cache

HCPU 配置有 32KB 2-way I-Cache（一级指令缓存）和 16KB 4-way D-Cache（一级数据缓存），可大幅提升 XIP 时 CPU 执行效率。软件需合理配置 MPU（Memory Protection Unit）设置 cache 地址段和非 cache 地址段，兼顾效率和易用性。

1.3.3.2 TCM

HCPU 配置有 128KB zero-wait-cycle D-TCM，地址空间为 0x2000_0000–0x2001_FFFF，可用于放置对实时性要求较高的代码和数据。该 TCM memory 也挂在总线上，可以被其他 AHB master 访问。当系统进入低功耗模式时，此 memory 可保持数据。

1.3.3.3 SRAM

HPSYS 总线上共有 800KB SRAM，其中包括：

- 0x2000_0000-0x2001_FFFF，128KB zero-wait-cycle SRAM（与 D-TCM 共享），所有 AHB master 均可访问，最高频率为 240MHz，并具备 retention 功能。
- 0x2002_0000-0x200C_7FFF，672KB zero-wait-cycle SRAM，所有 AHB master 均可访问，最高频率为 240MHz。

1.3.3.4 片外 RAM

HPSYS 支持外挂 OPI DDR pSRAM，地址空间为 0x6000_0000–0x63FF_FFFF，实际可访问地址由外挂颗粒容量决定。接口最高频率为 DDR 144MHz，数据位宽为 8-bit。

1.3.3.5 片外 Flash

HPSYS 支持外挂 NOR/NAND FLASH，其中：

- 0x6000_0000–0x63FF_FFFF 地址段可挂合封 FLASH，推荐使用频率为 96MHz
- 0x6400_0000–0x9FFF_FFFF 地址段可挂外置 FLASH，推荐使用频率为 72MHz

1.3.4 地址映射

表 1-1: **HPSYS 地址映射**

Category	Memory /IP	Address Space	HCPU Starting Address		HCPU Ending Address		LCPU Starting Address	LCPU Ending Address
HPSYS_ITCM		**64KB**	**0x0000_0000**		**0x0000_FFFF**		**NA**	**NA**
	ROM	64KB	0x0000_0000		0x0000_FFFF		-	-
	Reserved	-	-		-		-	-
External Memory		**1024MB**	**0x1000_0000**	**0x6000_0000**	**0x1BFF_FFFF**	**0x9FFF_FFFF**	**0x6000_0000**	**0x9FFF_FFFF**
	MPI1 Memory	4MB	0x1000_0000	0x6000_0000	0x103F_FFFF	0x603F_FFFF	0x6000_0000	0x603F_FFFF
	MPI2 Memory	60MB	0x1040_0000	0x6040_0000	0x13FF_FFFF	0x63FF_FFFF	0x6040_0000	0x63FF_FFFF
	MPI3 Memory	128MB/960MB	0x1400_0000	0x6400_0000	0x1BFF_FFFF	0x9FFF_FFFF	0x6400_0000	0x9FFF_FFFF
HPSYS_RAM		**800KB**	**0x2000_0000**		**0x200C_7FFF**		**0x2A00_0000**	**0x2A0C_7FFF**
	RAM0 (Retention)	128KB	0x2000_0000		0x2001_FFFF		0x2A00_0000	0x2A01_FFFF
	RAM1	128KB	0x2002_0000		0x2003_FFFF		0x2A02_0000	0x2A03_FFFF
	RAM2	256KB	0x2004_0000		0x2007_FFFF		0x2A04_0000	0x2A07_FFFF
	RAM3	288KB	0x2008_0000		0x200C_7FFF		0x2A08_0000	0x2A0C_7FFF
HPSYS_APB1		**256KB**	**0x4000_0000**		**0x4003_FFFF**		**0x4000_0000**	**0x4003_FFFF**
	RCC1	4KB	0x4000_0000		0x4000_0FFF		0x4000_0000	0x4000_0FFF
	DMAC1	4KB	0x4000_1000		0x4000_1FFF		0x4000_1000	0x4000_1FFF
	MAILBOX1	4KB	0x4000_2000		0x4000_2FFF		0x4000_2000	0x4000_2FFF
	PINMUX1	4KB	0x4000_3000		0x4000_3FFF		0x4000_3000	0x4000_3FFF

续表下页...

表 1-1: HPSYS 地址映射（续）

Category	Memory /IP	Address Space	HCPU		LCPU	
			Starting Address	Ending Address	Starting Address	Ending Address
	USART1	4KB	0x4000_4000	0x4000_4FFF	0x4000_4000	0x4000_4FFF
	USART2	4KB	0x4000_5000	0x4000_5FFF	0x4000_5000	0x4000_5FFF
	EZIP1	4KB	0x4000_6000	0x4000_6FFF	0x4000_6000	0x4000_6FFF
	EPIC	4KB	0x4000_7000	0x4000_7FFF	0x4000_7000	0x4000_7FFF
	LCDC1	4KB	0x4000_8000	0x4000_8FFF	0x4000_8000	0x4000_8FFF
	I2S1	4KB	0x4000_9000	0x4000_9FFF	0x4000_9000	0x4000_9FFF
	Reserved	4KB	0x4000_A000	0x4000_AFFF	0x4000_A000	0x4000_AFFF
	SYSCFG1	4KB	0x4000_B000	0x4000_BFFF	0x4000_B000	0x4000_BFFF
	EFUSEC	4KB	0x4000_C000	0x4000_CFFF	0x4000_C000	0x4000_CFFF
	AES	4KB	0x4000_D000	0x4000_DFFF	0x4000_D000	0x4000_DFFF
	Reserved	4KB	0x4000_E000	0x4000_EFFF	0x4000_E000	0x4000_EFFF
	TRNG	4KB	0x4000_F000	0x4000_FFFF	0x4000_F000	0x4000_FFFF
	GPTIM1	4KB	0x4001_0000	0x4001_0FFF	0x4001_0000	0x4001_0FFF
	GPTIM2	4KB	0x4001_1000	0x4001_1FFF	0x4001_1000	0x4001_1FFF
	BTIM1	4KB	0x4001_2000	0x4001_2FFF	0x4001_2000	0x4001_2FFF
	BTIM2	4KB	0x4001_3000	0x4001_3FFF	0x4001_3000	0x4001_3FFF
	WDT1	4KB	0x4001_4000	0x4001_4FFF	0x4001_4000	0x4001_4FFF
	SPI1	4KB	0x4001_5000	0x4001_5FFF	0x4001_5000	0x4001_5FFF
	SPI2	4KB	0x4001_6000	0x4001_6FFF	0x4001_6000	0x4001_6FFF
	EXTDMA	4KB	0x4001_7000	0x4001_7FFF	0x4001_7000	0x4001_7FFF
	Reserved	4KB	0x4001_8000	0x4001_8FFF	0x4001_8000	0x4001_8FFF
	NNACC1	4KB	0x4001_9000	0x4001_9FFF	0x4001_9000	0x4001_9FFF
	PDM1	4KB	0x4001_A000	0x4001_AFFF	0x4001_A000	0x4001_AFFF
	PDM2	4KB	0x4001_B000	0x4001_BFFF	0x4001_B000	0x4001_BFFF
	I2C1	4KB	0x4001_C000	0x4001_CFFF	0x4001_C000	0x4001_CFFF
	I2C2	4KB	0x4001_D000	0x4001_DFFF	0x4001_D000	0x4001_DFFF
	Reserved	4KB	0x4001_E000	0x4001_EFFF	0x4001_E000	0x4001_EFFF
	Reserved	4KB	0x4001_F000	0x4001_FFFF	0x4001_F000	0x4001_FFFF
	PTC1	4KB	0x4002_0000	0x4002_0FFF	0x4002_0000	0x4002_0FFF
	BUSMON1	4KB	0x4002_1000	0x4002_1FFF	0x4002_1000	0x4002_1FFF
	I2C3	4KB	0x4002_2000	0x4002_2FFF	0x4002_2000	0x4002_2FFF
	ATIM1	4KB	0x4002_3000	0x4002_3FFF	0x4002_3000	0x4002_3FFF
	Reserved	4KB	0x4002_4000	0x4002_4FFF	0x4002_4000	0x4002_4FFF
	AUDPRC	4KB	0x4002_5000	0x4002_5FFF	0x4002_5000	0x4002_5FFF
	AUDCODEC	4KB	0x4002_6000	0x4002_6FFF	0x4002_6000	0x4002_6FFF
	FFT1	4KB	0x4002_7000	0x4002_7FFF	0x4002_7000	0x4002_7FFF
	FACC1	4KB	0x4002_8000	0x4002_8FFF	0x4002_8000	0x4002_8FFF
	USART3	4KB	0x4002_9000	0x4002_9FFF	0x4002_9000	0x4002_9FFF
	Reserved	4KB	0x4002_A000	0x4002_AFFF	0x4002_A000	0x4002_AFFF
	CAN1	4KB	0x4002_B000	0x4002_BFFF	0x4002_B000	0x4002_BFFF
	Reserved	4KB	0x4002_C000	0x4002_CFFF	0x4002_C000	0x4002_CFFF
	SCI	4KB	0x4002_D000	0x4002_DFFF	0x4002_D000	0x4002_DFFF
	Reserved	4KB	0x4002_E000	0x4002_EFFF	0x4002_E000	0x4002_EFFF
	I2C4	4KB	0x4002_F000	0x4002_FFFF	0x4002_E000	0x4002_FFFF
	Reserved	64KB	0x4003_0000	0x4003_FFFF	0x4003_0000	0x4003_FFFF
HPSYS_APB2		**256KB**	**0x4004_0000**	**0x4007_FFFF**	**0x4004_0000**	**0x4007_FFFF**
	HPSYS_AON	4KB	0x4004_0000	0x4004_0FFF	0x4004_0000	0x4004_0FFF
	LPTIM1	4KB	0x4004_1000	0x4004_1FFF	0x4004_1000	0x4004_1FFF
	Reserved	4KB	0x4004_2000	0x4004_2FFF	0x4004_2000	0x4004_2FFF
	Reserved	52KB	0x4004_3000	0x4004_FFFF	0x4004_3000	0x4004_FFFF
	Reserved	64KB	0x4005_0000	0x4005_FFFF	0x4005_0000	0x4005_FFFF
	Reserved	64KB	0x4006_0000	0x4006_FFFF	0x4006_0000	0x4006_FFFF
	Reserved	64KB	0x4007_0000	0x4007_FFFF	0x4007_0000	0x4007_FFFF
HPSYS_AHB		**256KB**	**0x4008_0000**	**0x400B_FFFF**	**0x4008_0000**	**0x400B_FFFF**
	GPIO1	4KB	0x4008_0000	0x4008_0FFF	0x4008_0000	0x4008_0FFF
	MPI1	4KB	0x4008_1000	0x4008_1FFF	0x4008_1000	0x4008_1FFF
	MPI2	4KB	0x4008_2000	0x4008_2FFF	0x4008_2000	0x4008_2FFF
	MPI3	4KB	0x4008_3000	0x4008_3FFF	0x4008_3000	0x4008_3FFF
	Reserved	4KB	0x4008_4000	0x4008_4FFF	0x4008_4000	0x4008_4FFF
	SDMMC1	4KB	0x4008_5000	0x4008_5FFF	0x4008_5000	0x4008_5FFF
	SDMMC2	4KB	0x4008_6000	0x4008_6FFF	0x4008_6000	0x4008_6FFF
	USBC	4KB	0x4008_7000	0x4008_7FFF	0x4008_7000	0x4008_7FFF
	CRC1	4KB	0x4008_8000	0x4008_8FFF	0x4008_8000	0x4008_8FFF
	Reserved	28KB	0x4008_9000	0x4008_FFFF	0x4008_9000	0x4008_FFFF
	GFX_RAM	64KB	0x4009_0000	0x4009_FFFF	0x4009_0000	0x4009_FFFF
	Reserved	128KB	0x400A_0000	0x400B_FFFF	0x400A_0000	0x400B_FFFF

1.3.5 中断列表

表 1-2: **HCPU 中断列表**

IRQ #	IRQ Source
NMI	WDT1
IRQ[0]	AON
IRQ[1]	LCPU_IRQ[1]
IRQ[2]	LCPU_IRQ[2]
IRQ[3]	LCPU_IRQ[3]
IRQ[4]	LCPU_IRQ[4]
IRQ[5]	LCPU_IRQ[5]
IRQ[6]	LCPU_IRQ[6]
IRQ[7]	LCPU_IRQ[7]
IRQ[8]	LCPU_IRQ[8]
IRQ[9]	LCPU_IRQ[9]
IRQ[10]	LCPU_IRQ[10]
IRQ[11]	LCPU_IRQ[11]
IRQ[12]	LCPU_IRQ[12]
IRQ[13]	LCPU_IRQ[13]
IRQ[14]	LCPU_IRQ[14]
IRQ[15]	LCPU_IRQ[15]
IRQ[16]	LCPU_IRQ[16]
IRQ[17]	LCPU_IRQ[17]
IRQ[18]	LCPU_IRQ[18]
IRQ[19]	LCPU_IRQ[19]
IRQ[20]	LCPU_IRQ[20]
IRQ[21]	LCPU_IRQ[21]
IRQ[22]	LCPU_IRQ[22]
IRQ[23]	LCPU_IRQ[23]
IRQ[24]	LCPU_IRQ[24]
IRQ[25]	LCPU_IRQ[25]
IRQ[26]	LCPU_IRQ[26]
IRQ[27]	LCPU_IRQ[27]
IRQ[28]	LCPU_IRQ[28]
IRQ[29]	LCPU_IRQ[29]
IRQ[30]	LCPU_IRQ[30]
IRQ[31]	LCPU_IRQ[31]
IRQ[32]	LCPU_IRQ[32]
IRQ[33]	LCPU_IRQ[33]
IRQ[34]	LCPU_IRQ[34]
IRQ[35]	LCPU_IRQ[35]
IRQ[36]	LCPU_IRQ[36]
IRQ[37]	LCPU_IRQ[37]
IRQ[38]	LCPU_IRQ[38]
IRQ[39]	LCPU_IRQ[39]
IRQ[40]	LCPU_IRQ[40]
IRQ[41]	LCPU_IRQ[41]
IRQ[42]	LCPU_IRQ[42]
IRQ[43]	LCPU_IRQ[43]
IRQ[44]	LCPU_IRQ[44]

续表下页...

表 1-2: HCPU 中断列表（续）

IRQ #	IRQ Source
IRQ[45]	LCPU_IRQ[45]
IRQ[46]	LPTIM1
IRQ[47]	rsvd
IRQ[48]	rsvd
IRQ[49]	RTC
IRQ[50]	DMAC1_CH1
IRQ[51]	DMAC1_CH2
IRQ[52]	DMAC1_CH3
IRQ[53]	DMAC1_CH4
IRQ[54]	DMAC1_CH5
IRQ[55]	DMAC1_CH6
IRQ[56]	DMAC1_CH7
IRQ[57]	DMAC1_CH8
IRQ[58]	LCPU2HCPU
IRQ[59]	UART1
IRQ[60]	SPI1
IRQ[61]	I2C1
IRQ[62]	EPIC
IRQ[63]	LCDC1
IRQ[64]	I2S1
IRQ[65]	rsvd
IRQ[66]	EFUSEC
IRQ[67]	AES
IRQ[68]	PTC1
IRQ[69]	TRNG
IRQ[70]	GPTIM1
IRQ[71]	GPTIM2
IRQ[72]	BTIM1
IRQ[73]	BTIM2
IRQ[74]	UART2
IRQ[75]	SPI2
IRQ[76]	I2C2
IRQ[77]	EXTDMA
IRQ[78]	I2C4
IRQ[79]	SDMMC1
IRQ[80]	SDMMC2
IRQ[81]	NNACC1
IRQ[82]	PDM1
IRQ[83]	CAN1
IRQ[84]	GPIO1
IRQ[85]	MPI1
IRQ[86]	MPI2
IRQ[87]	MPI3
IRQ[88]	FFT1
IRQ[89]	EZIP1
IRQ[90]	AUDPRC
IRQ[91]	PDM2
IRQ[92]	USBC

续表下页...

表 1-2: HCPU 中断列表（续）

IRQ #	IRQ Source
IRQ[93]	I2C3
IRQ[94]	ATIM1
IRQ[95]	UART3
IRQ[96]	AUD_HP
IRQ[97]	SCI
IRQ[98]	FACC1
IRQ[99]	rsvd

1.4 低功耗处理器（小核）系统（LPSYS）

1.4.1 总线架构

LPSYS 内部提供了基于 AHB 协议的总线矩阵，支持多个主设备并行访问多个从设备地址空间。

如图1-3所示，总线主设备位于上侧，从设备地址空间位于右侧，交叉处的黑色圆点代表总线连通。

LCPU 与 DMAC2 能够访问 LPSYS 的所有地址空间，并能通过 LP2HP 跨域访问除 HPSYS_ITCM 以外 HPSYS 的所有地址空间。

HPSYS 的部分主设备能够通过 HP2LP 跨域访问 LPSYS 的所有地址空间。

LPSYS_ITCM 与 LPSYS_DTCM 能够被 LCPU 和 DMAC2 访问，也能够被 HPSYS 的部分主设备跨域访问。

多个主设备同时访问同一个从设备地址空间时，基于轮询仲裁原则决定访问次序。

图中边框不相连的多个主设备同时访问不同从设备地址空间时，互相不受影响。边框相连的多个主设备同时发起访问时，基于固定优先级或轮询仲裁原则决定访问次序。

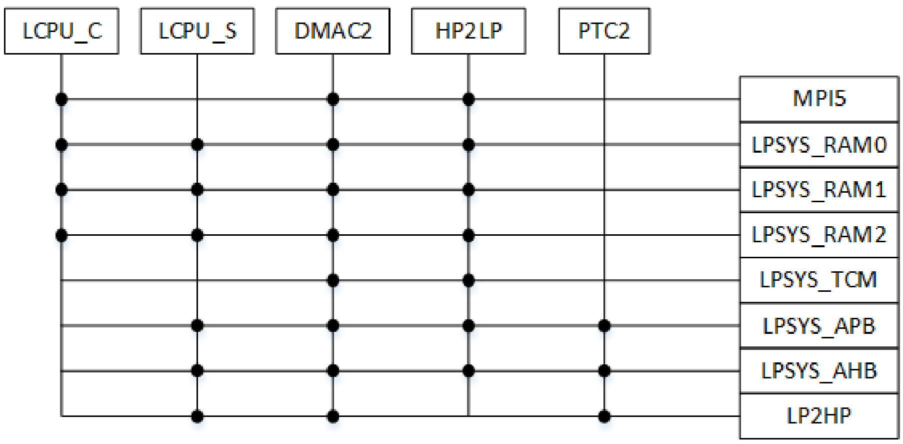


图 1-3: 低功耗处理器（小核）系统总线架构

1.4.2 时钟架构

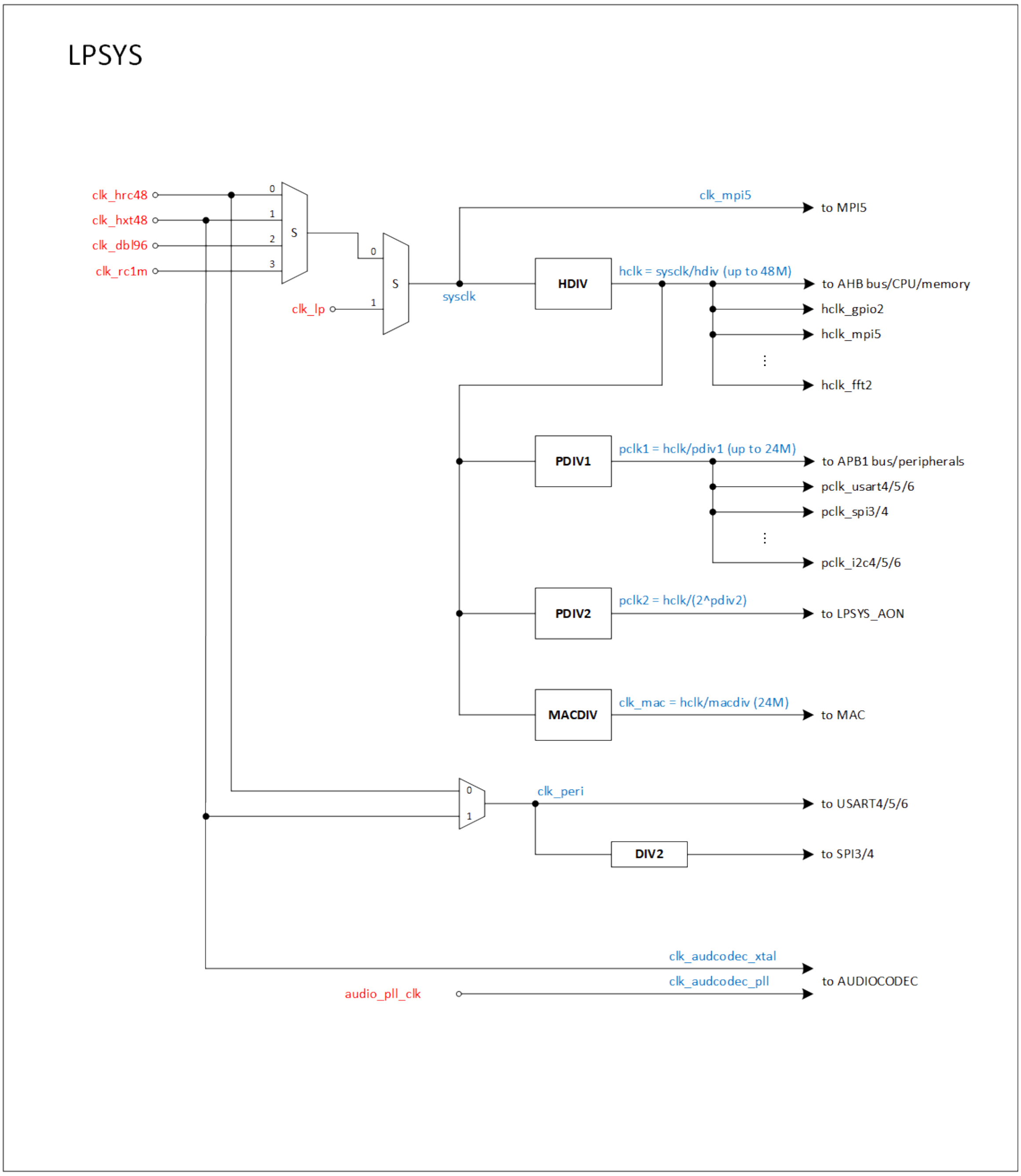


图 1-4: LPSYS 时钟架构

1.4.3 存储器类型

1.4.3.1 Cache

LCPU 配置有 16KB 2-way I-Cache（一级指令缓存）和 8KB 4-way D-Cache（一级数据缓存）。

1.4.3.2 TCM

LCPU 配置有 16KB zero-wait-cycle I-TCM，地址空间为 0x003F_C000 -0x003F_FFFF。该 TCM memory 为 LCPU 专用，HCPU 可通过地址段 0x20BF_C000 -0x20BF_FFFF 对其进行初始化。建议放置对实时性（或者时延确定性）要求较高的代码和数据。

LCPU 同时配置有 16KB zero-wait-cycle D-TCM，地址空间为 0x203F_C000 -0x203F_FFFF。该 TCM memory 为 LCPU 专用，HCPU 可通过相同地址空间对其进行初始化。

1.4.3.3 SRAM

LPSYS 总线上共有 128KB one-wait-cycle SRAM，地址空间为 0x2040_0000-0x2041_FFFF。0.9V 时最高频率为 48MHz，1.1V 时最高频率为 96MHz。

1.4.3.4 片外 Flash

LPSYS 默认外挂 NOR FLASH 用于系统启动，地址空间为 0x1C00_0000 -0x1FFF_FFFF。

1.4.4 地址映射

表 1-3: LPSYS 地址映射

Category	Memory /IP	Address Space	HCPU Starting Address	HCPU Ending Address	LCPU Starting Address	LCPU Ending Address
LPSYS_ITCM		**4MB**	**0x2080_0000**	**0x20BF_FFFF**	**0x0000_0000**	**0x003F_FFFF**
	ROM	384KB	0x2080_0000	0x2085_FFFF	0x0000_0000	0x0005_FFFF
	Reserved	-	-	-	-	-
	RAM	16KB	0x20BF_C000	0x20BF_FFFF	0x003F_C000	0x003F_FFFF
LPSYS_DTCM		**4MB**	**0x2000_0000**	**0x203F_FFFF**	**0x2000_0000**	**0x203F_FFFF**
	Reserved	-	-	-	-	-
	RAM	16KB	0x203F_C000	0x203F_FFFF	0x203F_C000	0x203F_FFFF
External Memory		**64MB**	**0x1C00_0000**	**0x1FFF_FFFF**	**0x1C00_0000**	**0x1FFF_FFFF**
	MPI5 Memory	64MB	0x1C00_0000	0x1FFF_FFFF	0x1C00_0000	0x1FFF_FFFF
LPSYS_RAM		**128KB**	**0x20C0_0000** **0x2040_0000**	**0x20C1_FFFF** **0x2041_FFFF**	**0x0040_0000** **0x2040_0000**	**0x0041_FFFF** **0x2041_FFFF**
	RAM0	64KB	0x20C0_0000 0x2040_0000	0x20C0_FFFF 0x2040_FFFF	0x0040_0000 0x2040_0000	0x0040_FFFF 0x2040_FFFF
	RAM1	32KB	0x20C1_0000 0x2041_0000	0x20C1_7FFF 0x2041_7FFF	0x0041_0000 0x2041_0000	0x0041_7FFF 0x2041_7FFF
	RAM2 (EM)	32KB	0x20C1_8000 0x2041_8000	0x20C1_FFFF 0x2041_FFFF	0x0041_8000 0x2041_8000	0x0041_FFFF 0x2041_FFFF
LPSYS_APB1		**192KB**	**0x5000_0000**	**0x5003_FFFF**	**0x5000_0000**	**0x5003_FFFF**
	RCC2	4KB	0x5000_0000	0x5000_0FFF	0x5000_0000	0x5000_0FFF
	DMAC2	4KB	0x5000_1000	0x5000_1FFF	0x5000_1000	0x5000_1FFF
	MAILBOX2	4KB	0x5000_2000	0x5000_2FFF	0x5000_2000	0x5000_2FFF
	PINMUX2	4KB	0x5000_3000	0x5000_3FFF	0x5000_3000	0x5000_3FFF
	PATCH	4KB	0x5000_4000	0x5000_4FFF	0x5000_4000	0x5000_4FFF
	USART4	4KB	0x5000_5000	0x5000_5FFF	0x5000_5000	0x5000_5FFF
	USART5	4KB	0x5000_6000	0x5000_6FFF	0x5000_6000	0x5000_6FFF
	USART6	4KB	0x5000_7000	0x5000_7FFF	0x5000_7000	0x5000_7FFF
	Reserved	4KB	0x5000_8000	0x5000_8FFF	0x5000_8000	0x5000_8FFF
	SPI3	4KB	0x5000_9000	0x5000_9FFF	0x5000_9000	0x5000_9FFF
	SPI4	4KB	0x5000_A000	0x5000_AFFF	0x5000_A000	0x5000_AFFF
	WDT2	4KB	0x5000_B000	0x5000_BFFF	0x5000_B000	0x5000_BFFF
	I2C5	4KB	0x5000_C000	0x5000_CFFF	0x5000_C000	0x5000_CFFF
	I2C6	4KB	0x5000_D000	0x5000_DFFF	0x5000_D000	0x5000_DFFF
	I2C7	4KB	0x5000_E000	0x5000_EFFF	0x5000_E000	0x5000_EFFF
	SYSCFG2	4KB	0x5000_F000	0x5000_FFFF	0x5000_F000	0x5000_FFFF
	GPTIM3	4KB	0x5001_0000	0x5001_0FFF	0x5001_0000	0x5001_0FFF
	GPTIM4	4KB	0x5001_1000	0x5001_1FFF	0x5001_1000	0x5001_1FFF
	GPTIM5	4KB	0x5001_2000	0x5001_2FFF	0x5001_2000	0x5001_2FFF
	BTIM3	4KB	0x5001_3000	0x5001_3FFF	0x5001_3000	0x5001_3FFF

续表下页...

表 1-3: LPSYS 地址映射（续）

Category	Memory /IP	Address Space	HCPU		LCPU	
			Starting Address	Ending Address	Starting Address	Ending Address
	BTIM4	4KB	0x5001_4000	0x5001_4FFF	0x5001_4000	0x5001_4FFF
	Reserved	4KB	0x5001_5000	0x5001_5FFF	0x5001_5000	0x5001_5FFF
	GPADC	4KB	0x5001_6000	0x5001_6FFF	0x5001_6000	0x5001_6FFF
	Reserved	4KB	0x5001_7000	0x5001_7FFF	0x5001_7000	0x5001_7FFF
	AUDADC	4KB	0x5001_8000	0x5001_8FFF	0x5001_8000	0x5001_8FFF
	LPCOMP	4KB	0x5001_9000	0x5001_9FFF	0x5001_9000	0x5001_9FFF
	TSEN	4KB	0x5001_A000	0x5001_AFFF	0x5001_A000	0x5001_AFFF
	PTC2	4KB	0x5001_B000	0x5001_BFFF	0x5001_B000	0x5001_BFFF
	Reserved	4KB	0x5001_C000	0x5001_CFFF	0x5001_C000	0x5001_CFFF
	BUSMON2	4KB	0x5001_D000	0x5001_DFFF	0x5001_D000	0x5001_DFFF
	Reserved	4KB	0x5001_E000	0x5001_EFFF	0x5001_E000	0x5001_EFFF
	Reserved	4KB	0x5001_F000	0x5001_FFFF	0x5001_F000	0x5001_FFFF
	Reserved	64KB	0x5002_0000	0x5002_FFFF	0x5002_0000	0x5002_FFFF
	Reserved	64KB	0x5003_0000	0x5003_FFFF	0x5003_0000	0x5003_FFFF
LPSYS_APB2		**64KB**	**0x5004_0000**	**0x5007_FFFF**	**0x5004_0000**	**0x5007_FFFF**
	LPSYS_AON	4KB	0x5004_0000	0x5004_0FFF	0x5004_0000	0x5004_0FFF
	LPTIM2	4KB	0x5004_1000	0x5004_1FFF	0x5004_1000	0x5004_1FFF
	LPTIM3	4KB	0x5004_2000	0x5004_2FFF	0x5004_2000	0x5004_2FFF
	Reserved	4KB	0x5004_3000	0x5004_3FFF	0x5004_3000	0x5004_3FFF
	Reserved	24KB	0x5004_4000	0x5004_9FFF	0x5004_4000	0x5004_9FFF
	PMUC	4KB	0x5004_A000	0x5004_AFFF	0x5004_A000	0x5004_AFFF
	RTC	4KB	0x5004_B000	0x5004_BFFF	0x5004_B000	0x5004_BFFF
	IWDT	4KB	0x5004_C000	0x5004_CFFF	0x5004_C000	0x5004_CFFF
	Reserved	12KB	0x5004_D000	0x5004_FFFF	0x5004_D000	0x5004_FFFF
	Reserved	64KB	0x5005_0000	0x5005_FFFF	0x5005_0000	0x5005_FFFF
	Reserved	64KB	0x5006_0000	0x5006_FFFF	0x5006_0000	0x5006_FFFF
	EUROPA	4KB	0x5007_0000	0x5007_0FFF	0x5007_0000	0x5007_0FFF
	Reserved	60KB	0x5007_1000	0x5007_FFFF	0x5007_1000	0x5007_FFFF
LPSYS_AHB		**256KB**	**0x5008_0000**	**0x500B_FFFF**	**0x5008_0000**	**0x500B_FFFF**
	GPIO2	4KB	0x5008_0000	0x5008_0FFF	0x5008_0000	0x5008_0FFF
	MPI5	4KB	0x5008_1000	0x5008_1FFF	0x5008_1000	0x5008_1FFF
	RFC	8KB	0x5008_2000	0x5008_3FFF	0x5008_2000	0x5008_3FFF
	PHY	4KB	0x5008_4000	0x5008_4FFF	0x5008_4000	0x5008_4FFF
	CRC2	4KB	0x5008_5000	0x5008_5FFF	0x5008_5000	0x5008_5FFF
	Reserved	40KB	0x5008_6000	0x5008_FFFF	0x5008_6000	0x5008_FFFF
	MAC	64KB	0x5009_0000	0x5009_FFFF	0x5009_0000	0x5009_FFFF
	Reserved	128KB	0x500A_0000	0x500B_FFFF	0x500A_0000	0x500B_FFFF
PHY_DUMP		**64KB**	**0x500C_0000**	**0x500C_FFFF**	**0x500C_0000**	**0x500C_FFFF**
	PHY_DUMP	64KB	0x500C_0000	0x500C_FFFF	0x500C_0000	0x500C_FFFF

1.4.5 中断列表

表 1-4: LCPU 中断列表

IRQ #	IRQ Source
NMI	WDT2
IRQ[0]	AON
IRQ[1]	BLE
IRQ[2]	DMAC2_CH1
IRQ[3]	DMAC2_CH2
IRQ[4]	DMAC2_CH3
IRQ[5]	DMAC2_CH4
IRQ[6]	DMAC2_CH5
IRQ[7]	DMAC2_CH6
IRQ[8]	DMAC2_CH7
IRQ[9]	DMAC2_CH8
IRQ[10]	PATCH
IRQ[11]	DM
IRQ[12]	UART4
IRQ[13]	UART5
IRQ[14]	UART6
IRQ[15]	BT
IRQ[16]	SPI3

续表下页...

表 1-4: LCPU 中断列表（续）

IRQ #	IRQ Source
IRQ[17]	SPI4
IRQ[18]	I2S3
IRQ[19]	I2C5
IRQ[20]	I2C6
IRQ[21]	I2C7
IRQ[22]	GPTIM3
IRQ[23]	GPTIM4
IRQ[24]	GPTIM5
IRQ[25]	BTIM3
IRQ[26]	BTIM4
IRQ[27]	AUD_LP
IRQ[28]	GPADC
IRQ[29]	rsvd
IRQ[30]	HPSYS0
IRQ[31]	HPSYS1
IRQ[32]	TSEN
IRQ[33]	PTC2
IRQ[34]	rsvd
IRQ[35]	GPIO2
IRQ[36]	MPI5
IRQ[37]	rsvd
IRQ[38]	FFT2
IRQ[39]	rsvd
IRQ[40]	rsvd
IRQ[41]	LPCOMP
IRQ[42]	LPTIM2
IRQ[43]	LPTIM3
IRQ[44]	HPSYS2
IRQ[45]	HPSYS3
IRQ[46]	HCPU2LCPU
IRQ[47]	RTC

1.5 电源管理

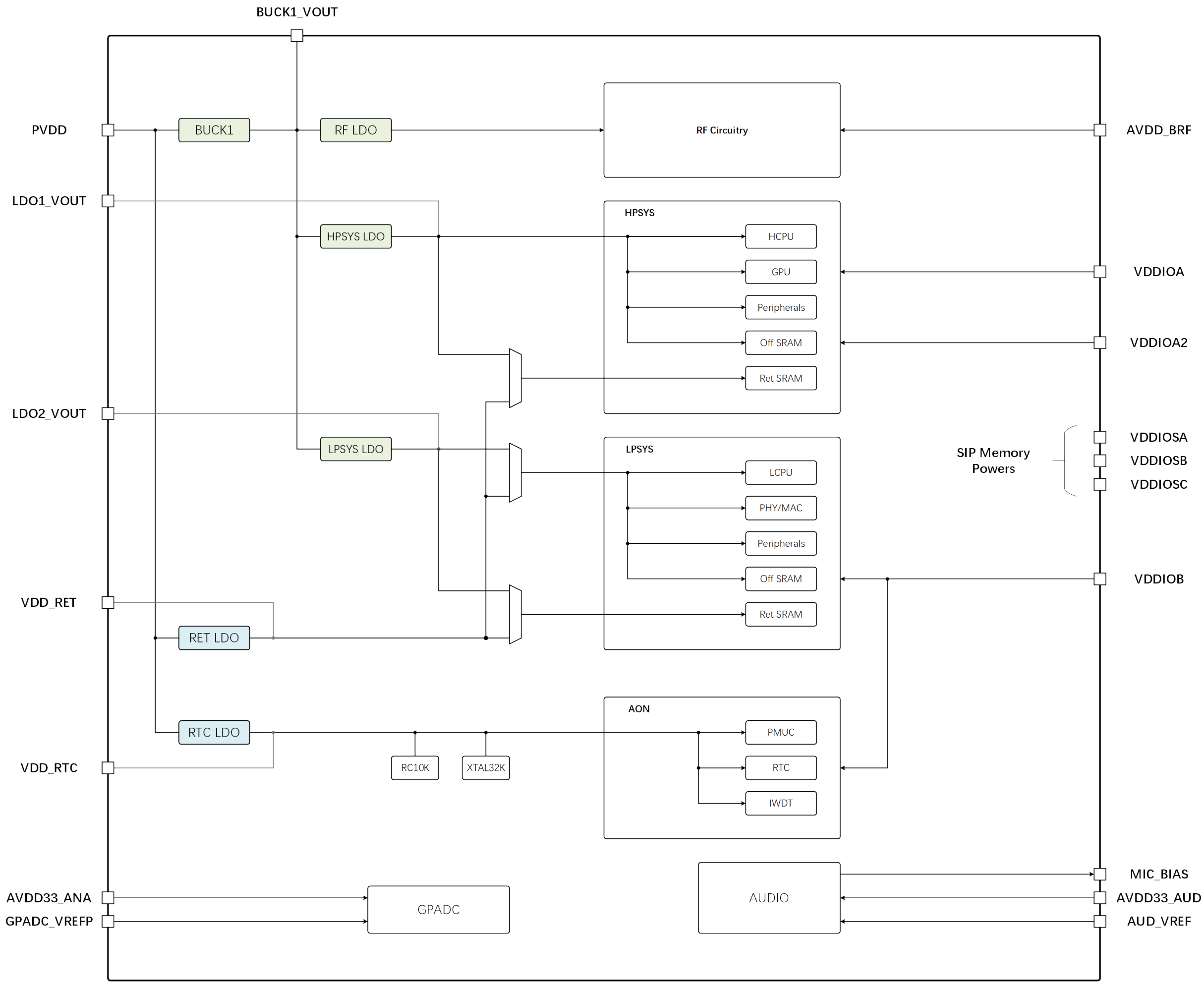


图 1-5: **BGA 封装电源管理架构**

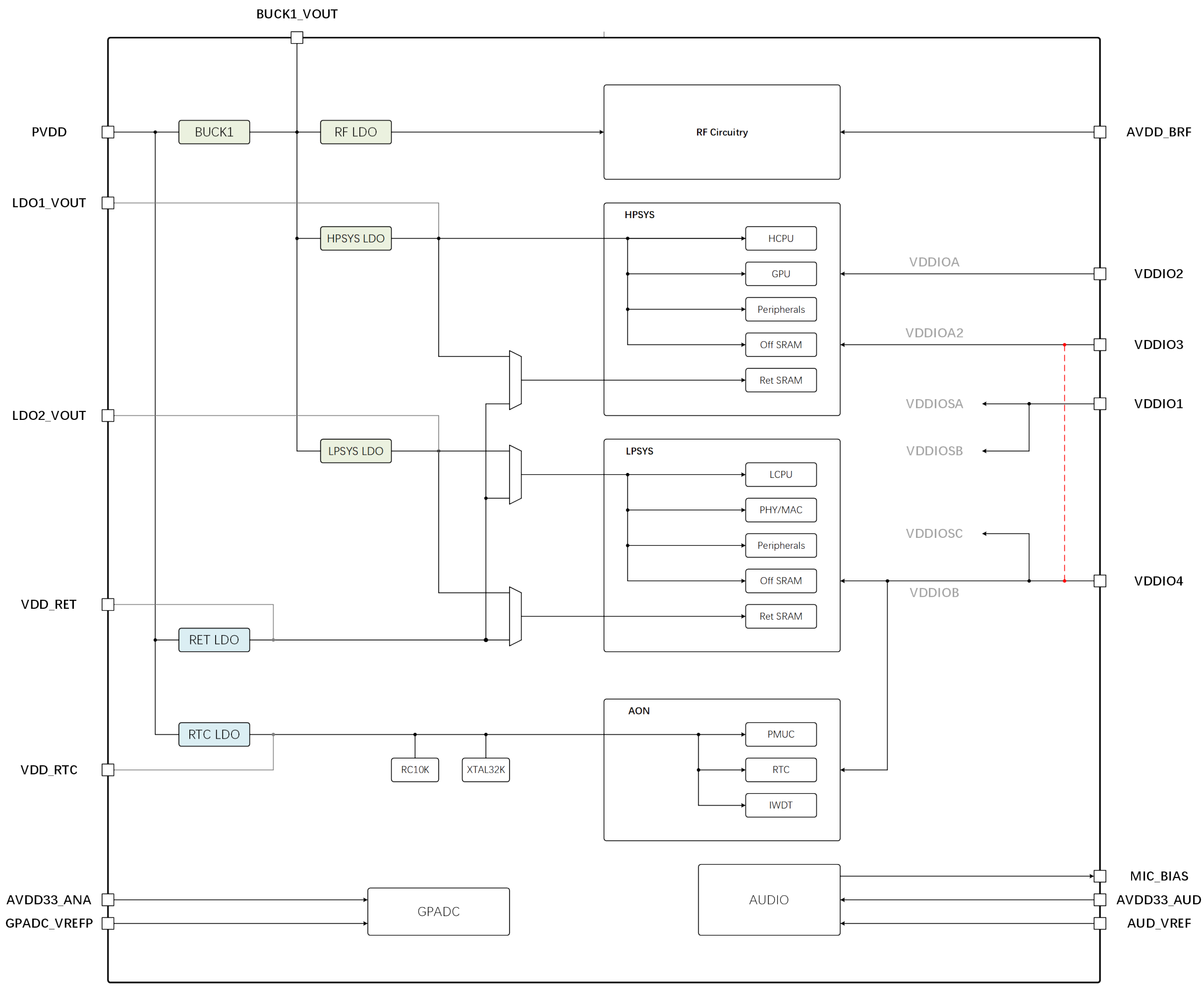


图 1-6: QFN 封装电源管理架构

说明：

QFN 封装相比于 BGA 封装，将部分 IO 电源和 SIP Memory 电源合并，其中：

- SF32LB561/563：VDDIOSA 和 VDDIOSB 合并为 VDDIO1，VDDIOSC 和 VDDIOB 合并为 VDDIO4
- SF32LB560：将上述 VDDIO4 进一步和 VDDIO3 合并为 VDDIO3（红色虚线）

2 高性能专用计算

2.1 ePicasso™ 高性能 2.5D 图形引擎

在 2.5D 图像处理中，有许多常见的图像运算会耗费大量的 CPU 计算资源。ePicasso™ 则是专为 2.5D 图像运算设计的加速引擎，能够对 2.5D 图像运算中常见图层叠加、缩放、旋转等功能提供指数级的速度提升。除此以外，ePicasso™ 能够兼容各种常见的 RGB 图像格式，简化了系统中不同格式的图像格式转换。

2.1.1 图层叠加

ePicasso™ 最多支持四个前景图层，一个专用的掩膜图层，和一个单色背景图层叠加，输入和输出格式包括常用 RGB565、RGB888、ARGB8565、ARGB8888、L8、A8、A4、YUV。每个前景图层有独立的叠加模式和叠加区域，掩膜图层主要是提取图像中特定的形状。除此以外，每个图层还提供了单独的 filter 配置选项，可以使图层滤除某一特定的颜色，该功能可用于简单的图像捕获。

2.1.2 图形缩放

ePicasso™ 有一个图层称为功能图层，除了支持叠加的功能外，这个功能图层还能够实现图形的缩放。缩放最大比例可以到达 1024 倍，精度则可以达到 1/65536。在 X 和 Y 方向上，缩放的比例可以分别配置，以此适应各种不同的需求。

2.1.3 图形旋转

ePicasso™ 的功能图层除了可以支持缩放的功能以外，还能够支持图像的高精度旋转。用户可以自定义旋转角的 sin/cos 值，来满足任意角度的旋转需求。旋转和缩放的功能可以同时启用，一次性完成图像的两种操作，提高了图像处理的性能。

2.2 LCD 控制器

LCD 控制器主要用于将 Framebuffer 内数据输出至外部显示，现有的 LCD 控制器可以支持常用的屏幕接口包括 DBI、DPI。此外，LCD 控制器还支持压缩格式的图像，使用压缩格式的图像可以显著降低 memory 的使用带宽，提升系统的性能。

2.2.1 TurboPixel™ 帧缓存压缩

为了提高图像的帧率和显示的平滑度，多个（两个或三个）帧缓存（Frame Buffer）是经常被使用的架构。通常来说为了将图像输出和图像处理并行化，需要专用的帧缓存用于向屏幕输出图像数据。为了能够减小这些帧缓存的存储空间和读取时候的带宽，MCU 系统中提供了基于自主算法的 TurboPixel™ 图像帧压缩模块。而在读取图像数据时，LCD 控制器中的解压缩模块可以直接读取压缩数据，并将解压缩后的数据输出到屏幕。这样就可以节省下帧缓存的存储空间和读取消耗的带宽资源。

2.2.2 显示接口

LCD 控制器主要完成显示用数据到主流显示接口之间的适配，本芯片支持的显示接口有：

2.2.2.1 MIPI-DBI

LCD 控制器可以支持 DBI 接口中的串行 SPI 模式和并行的 8080 模式。对于 SPI 模式，LCD 控制器可以支持 3 线和 4 线两种模式，同时也支持 dual/quad data line 两种工作方式。色彩格式上支持 8-bit RGB332、16-bit RGB565 和 24-bit RGB888。对于 8080 模式，LCD 控制器可以支持 8-bit、16-bit 和 24-bit 的总线位宽，同时支持 RGB332、RGB444、RGB565、RGB666、RGB888 等色彩格式。

2.2.2.2 MIPI-DPI

为了支持没有内置缓存的屏幕，LCD 控制器加入了对 DPI 接口的支持。LCD 控制的 DPI 接口数据位宽为 24bit，可以很好地支持 RGB565 和 RGB888 的色彩格式。此外，LCD 控制器提供了灵活的 VBP、VFP、HBP 和 HFP 控制，来应对不同类型屏幕的需求。

2.2.2.3 JDI 反射屏

为了适应可穿戴产品的低功耗需求，JDI 研发超低功耗的反射屏。该屏幕利用太阳光线呈现图像，相较传统 LCD 屏幕耗电可以降低 95% 以上，配备在可穿戴产品上可以实现超长续航。LCD 控制器内也加入了 JDI 反射屏幕接口支持，包括串行接口和并行接口。两种接口最高可以支持到 64 色显示，支持局部刷新和整屏刷新，从而进一步降低屏幕刷新功耗，满足超长续航的需求。

2.3 eZip™ 无损压缩解码器

eZip™ 解码器是基于自有算法的实时无损解压缩模块，压缩率与 Zip 格式相当。它可以用于将通用数据解码后保存，以此加快数据的实时加载能力。如果数据是从芯片外部传输，压缩后的传输有助于缩短传输时间，减少传输功耗。

此外，eZip™ 还支持专有格式的图片压缩，压缩率与 PNG 格式相当，并支持独立 DMA 操作或与 ePicasso™ 联动读取。当独立操作时，eZip™ 可通过 DMA 机制，可以灵活地将存储在 Flash 或 RAM 的压缩图片解压缩并搬运至目标缓存中。在联动模式下，ePicasso™ 通过 eZip™ 模块，实时从存储中读取图片并实时解压缩，然后按照一般的图形流程进行所需要的 2.5D 计算，从而省去了暂存解压缩图片的缓存。

通过以上机制，eZip™ 可以有效地降低图像素材对存储容量的需求，在有限的存储中最大化素材的丰富度，减小对片外存储的带宽要求，从而提高大大系统的整体运行效率。

eZip™ 模块是将 eZip™ 压缩图片进行解码输出的模块。该模块通过 AHB 总线读入压缩数据，解码后的图像数据可配置通过 AHB 总线输出或直接送给 epic 模块进行后续处理。

该模块具有以下特点：

- 通过 AHB 总线输入\输出的数据地址可配
- 输出图片数据可直接送给 epic 模块
- 可输出一个指定区域的图片数据
- 支持解码参数 cache 功能，cache 命中的情况下可缩短解码时间

2.4 神经网络加速器

2.4.1 神经网络矩阵卷积加速器（NNACC）

矩阵卷积加速器旨在满足机器学习计算中对底层矩阵算力的需求，可以广泛适用于各种神经网络框架。加速器访存接口丰富，提供灵活的数据地址配置。支持最大 255×255 的输入矩阵和最大 128 的输入输出通道数。支持 8bit 整数型运算，可以满足大部分边缘端 AI 计算要求，比如语音指令识别、心率、计步、心电图等传感器的计算等场景。

2.4.2 神经网络协处理器（NN Co-Processor）

神经网络协处理器，通过协处理器接口挂在 hpcpu/lpcpu 上。软件通过专门的协处理器指令调用该处理器。协处理器特性为：

- 数据总线位宽为 64Bit
- 支持 8Bit 位宽的 MAC 运算
- 支持单指令 4 次独立 MAC 运算

2.5 数字信号处理加速器

2.5.1 FFT 加速器

FFT 运算对算力要求很高，用 FFT 加速器可以减轻 CPU 负载，提升系统性能。HPSYS 中集成有 FFT 加速器，可以在更多场景下满足 FFT 算力要求。

FFT 加速器主要特性如下：

- 支持最大 512 点最小 16 点 FFT
- 支持 24 点、16 点、8 点定点有符号数输入输出，输入输出位宽独立配置
- 支持实数 FFT 运算
- 支持 IFFFT
- 支持加窗 FFT/IFFT
- 支持 DCT/IDCT

2.5.2 Cordic 协处理器

Cordic 协处理器用于计算三角函数和双曲函数及其推演出的一些算术运算。在 HPSYS/LPSYS 中各集成了一个 Cordic 协处理器。

Cordic 协处理器特性如下：

- 支持 ARM coprocessor 协处理器指令
- 支持 ARM Custom Datapath Extention 指令（只有 HPSYS）
- 支持三角函数类运算：cos、sin、ang、mod、atan、rot
- 支持双曲函数类运算：cosh、sinh、atanh、angh、modh、mul、div、ln、exp、sqrt
- 支持 32 位定点输入输出

3 外设

3.1 双模蓝牙 5.3

3.1.1 射频和基带

射频和基带包括发射机和接收机。发射机将基带信号调制到 2.4G 频段上的信号发射出去，接收机将 2.4G 频段空中信号接收解调到基带信号。主要特性为：

- 支持蓝牙 5.3 协议：1M PHY（1Mbps）、2M PHY（2Mbps）、BR PHY（1Mbps）、EDR2 PHY（2Mbps）、EDR3 PHY（3Mbps）
- 集成 AGC
- 支持 RSSI
- 接收机支持自动频偏纠正
- 可调发射功率，BLE/BR PHY 最大发射功率 19dBm，EDR2/EDR3 最大发射功率 13dBm
- 集成 Balun 和天线匹配网络，无需片外匹配

3.1.2 BT MAC

BT MAC 是完全支持蓝牙协议 v5.3 并向下兼容协议 v4.2、v4.1、4.0 的双模基带控制器，主要是负责包的编解码以及事件的调度。

主要的功能如下：

- 低功耗蓝牙模式：
  1. 支持速率（1M/2M）；
  2. 支持所有的包格式（广播包/拓展广播包/数据包等）；
  3. 支持数据的加解密；
  4. 支持数据流的处理（冗余校验、白化）；
  5. 支持两种跳频模式；
- 经典蓝牙模式：
  1. 支持 ACL、CSB、SCO 以及 eSCO 的所有包类型；
  2. 支持数据加解密（E0 加密以及 AES-CCM 加密）；
  3. 支持数据流的处理（HEC、CRC、Whitening、FEC2/3、FEC1/3）；
  4. 支持音频数据的编解码处理（CVSD 以及 a/μ-Law）；
  5. 支持自适应跳频；
- 以及：
  - 支持 AMBA AHB 总线的访问；
  - 支持 WLAN/MWS 的共存机制。

3.2 模拟外设

3.2.1 12 比特模/数转换器

GPADC 包含一个 SARADC，基本功能是将外接输入电压转换为数字信号。GPADC 主要特性为：

- 12-bit 分辨率
- 最大采样率 4MS/s
- 单端输入电压范围：0 ~ 3.3V
- 差分输入电压范围：-2.1V ~ +2.1V
- 支持 8 路单端模拟输入或 4 对差分模拟输入
- 支持单次测量模式和循环测量模式
- 每次测量可以划分为 8 个时隙，各时隙可以单独配置模拟输入通道
- 支持软件 (写寄存器) 和硬件 (如计时器) 触发方式
- 支持 DMA 通道
- 采样频率可配

表 3-1: 12-bit GPADC 电气特性

	Min.	Typ.	Max.	Unit	Comments
Resolution		12		bit	
T_{sample} (Differential)	125n		2/3	s	$fs=1/(T_{sample}+T_{conversion})$
T_{sample} (Single-Ended)	166.66n		2/3	s	
$T_{conversion}$	125n		10.67u	s	
Sample rate (fs)			4	Msps	
ENOB (Differential)		10.6		bit	V_{in}=-1dBFs, no averaging
ENOB (Single-Ended)		10		bit	V_{in}=-3dBFs, no averaging
SNDR (Differential)		65.6		dB	V_{in}=-1dBFs, no averaging
SNDR (Single-Ended)		61.96		dB	V_{in}=-3dBFs, no averaging
Current Consumption		466		uA	fs=4Msps
		130		uA	fs=500ksps
		90		uA	fs=100ksps

GPADC 外部源端电路电阻 R_{AIN} 与采样时间的关系表如下：

Resolution (bit)	Number of T_{PCLK} Cycle @24MHz	T_{sample} (ns)	Maximum source resistance R_{AIN} (kOhm)
12	4	166	1
	15	625	5
	30	1250	10
	150	6250	50
	300	12500	100
	1500	62500	500
	15000	625000	5000

3.2.2 温度传感器

温度传感器将温度转换为随温度变化的电压，然后通过 ADC 将该电压转换为数字。系统通过软件调用温度传感器。主要特性为：

- 温度传感器分辨率为 0.2°C
- 支持温度范围为 -40°C 到 125°C
- 温度传感器精度 -3°C 到 3°C
- 支持轮询或中断方式读数

3.2.3 电压比较器

LPCOMP (Low-Power Comparator) 包含两路独立的电压比较器，可将外部输入的模拟信号电压与参考电压值进行比较，产生比较结果。两路比较器可以分别测量不同信号，也可以测量同一个信号并产生组合输出。参考电压值可以从外部输入，也可以由芯片内部产生。比较器结果可以通过 IO 输出或通过寄存器读取，也可以产生中断 /PTC 事件触发或唤醒信号。

LPCOMP 在系统进入某些低功耗模式时也能够进行实时监控，当检测到特定比较结果时将系统唤醒。

LPCOMP 主要特性：

- 两路比较器，可独立使用或组合使用进行窗口比较
- 参考电压选择
  - 内部产生 4 档参考电压
  - 外部输入
- 可配置的迟滞比较
- 可配置的功耗/速度挡位
- 比较结果极性翻转
- 比较结果后处理
  - 高/低电平
  - 上升沿/下降沿/任意沿
- 多种输出
  - IO
  - 寄存器
  - 中断
  - PTC 触发
  - LPTIM 时钟
  - 低功耗睡眠唤醒
- 系统处于低功耗模式 (light sleep/deep sleep) 下也可以工作，并能够唤醒系统

3.2.4 音频 DAC

音频 DAC 是将数字音频信号转化为模拟电压输出的模块，本芯片共集成了两路 24-bit DAC，支持音频采样率从 8KHz 到 48KHz，输出方式支持差分输出。

3.2.5 音频 PLL

音频 PLL 主要功能为音频系统提供高精度的时钟，其支持小数分频功能，调节精度为 48MHz/2^18，能够满足 48KHz、32KHz 和 44.1KHz 等不同采样率的需求。

3.2.6 音频 ADC

音频 ADC 是将外部模拟信号转化为内部的数字音频信号，本芯片共集成了两路 24-bit ADC，支持的音频采样率从 8KHz 到 48KHz，每一路 ADC 有单独的增益调节。

3.3 DMA

3.3.1 ExtDMA

ExtDMA (Extended Direct Memory Access) 能够对总线上两个不同地址区间的数据进行高效率搬运工作，并集成 TurboPixel™ 图像帧压缩模块，可在搬运的同时完成图像压缩。不开启压缩时，ExtDMA 也可作为通用 DMA 使用。与 DMAC 相比，ExtDMA 在访问外部存储器 (如 FLASH、PSRAM) 时效率更高，但仅有一个通道，仅支持 4 字节对齐搬运，且不响应外设请求。

ExtDMA 主要特性：

- 单 AHB 主控，可访问 SRAM，PSRAM，FLASH 等，支持 BURST 传输
- 单个传输通道，内置深度为 16 ，位宽 32 比特的 FIFO
- 源地址和目标地址均为 4 字节访问，并支持地址自动递增
- 单次配置最大传输单元数为 2^20-1，每单元固定 4 字节传输，即单次最大传输 4M 字节
- 每个通道支持传输完成、过半传输、传输出错事件标志，并能各自独立产生中断请求
- 集成 TurboPixel™ 图像帧压缩功能，支持 RGB565/RGB888/ARGB8888 格式输入，单行最大支持 512 像素

3.3.2 DMAC

DMAC (Direct Memory Access Controller) 用于实现总线上两个不同地址区间内数据的搬运工作。DMAC 共有 8 个独立通道，每个通道可配置源地址区间与目标地址区间，分别映射到各内存或外设的地址范围内，从而实现内存-内存、内存-外设、外设-内存、外设-外设之间的高效率传输，有效缓解 CPU 的工作量。

DMAC 支持外设响应模式和内存搬运模式：在外设响应模式下，DMAC 基于外设的 DMA 请求进行搬运，从而适配外设的带宽；在存储器搬运模式下，DMAC 不等待外设的 DMA 请求，尽快完成数据搬运。当多个通道同时使能时，DMAC 依照优先级由高至低的次序依次搬运；并且在较低优先级的通道搬运过程中，较高优先级的通道能够进行抢占搬运。每个通道传输过半或完成时，能够产生中断或 PTC 触发。

DMAC1 与 DMAC2 位于 HPSYS，能够响应 HPSYS 外设的 DMA 请求。DMAC3 位于 LPSYS，能够响应 LPSYS 外设的 DMA 请求。

DMAC 主要特性：

- 单 AHB 主控，可访问 SRAM，PSRAM，FLASH，AHB 和 APB 外设等
- 8 个独立的可配置通道
- 每个通道的 DMA 请求可在至多 64 个外设 DMA 请求中选择 1 个，或由软件请求

- 每个通道支持 4 档优先级配置，优先级相同时依照通道编号大小判决
- 支持外设到存储器、存储器到外设、存储器到存储器以及外设到外设的数据传输
- 源地址和目标地址均独立支持单字节、双字节、四字节访问，源和目标的地址必须根据传输数据单元的大小进行对齐，并支持地址自动递增。传输过程中地址不支持跨过 1MB 边界。
- 单次传输单元数可配置为 0 到 65535
- 支持循环缓冲模式，单次传输完成后自动重新启动
- 每个通道支持 3 种事件标志：传输完成、过半传输、传输出错，并能各自独立产生中断或 PTC 触发
- 每个通道支持可配置块尺寸的块传输模式

3.4 音频处理模块 AUDPRC

音频处理模块针对不同来源的音频数据进行采样率转换、混音以及均衡，将处理后的音频数据送到对应的播放或者存储设备。其主要包含两条主要的数据通路，处理播放数据的 DAC 通路和处理音频采集数据的 ADC 通路。

3.4.1 DAC 通路

DAC 通路音频数据来源于内存，AUDPRC 最多支持四路 24bit 音频数据。AUDPRC 内 DAC 通路支持对两路数据进行采样率转换，采样率转换范围为 1/8~8 倍，信噪比不低于 96dB。经过采样率转换模块的数据再与另外两路数据进行混音处理后，进入 10 级的音频均衡器。每一级均衡器参数均可配，用户可以根据需求进行配置。最后经过均衡器的两路音频数据可以送至模拟 DAC 模块或者 I2S 接口作为输出。

3.4.2 ADC 通路

ADC 通路音频数据来源于模拟 ADC 或者 I2S 接口，最多支持两路 24bit 音频数据。经过采样率转换模块的数据可以被 DMA 保存到内存中。

3.5 连接外设

3.5.1 通用输入/输出接口（GPIO）

系统最多支持 120 个 GPIO。通过配置对应的寄存器，可以为这些管脚分配不同的功能。

当配置为输出功能时，可以通过寄存器配置输出值。

当配置为输入功能时，输入值可以通过相应寄存器查询，同时支持输入信号中断触发，中断触发模式可设置为电平触发和沿触发，沿触发支持上下双沿触发。

3.5.2 通用异步收发器（UART）

通用异步收发器支持全双工模式，提供高达 6Mbps 的波特率和多种可配置的数据格式，为与外部标准化设备通信提供了灵活而有效的数据交互手段。同时它还支持 DMA，实现多包收发。

UART1、UART2 和 UART3 位于 HPSYS。UART4、UART5 和 UART6 位于 LPSYS。

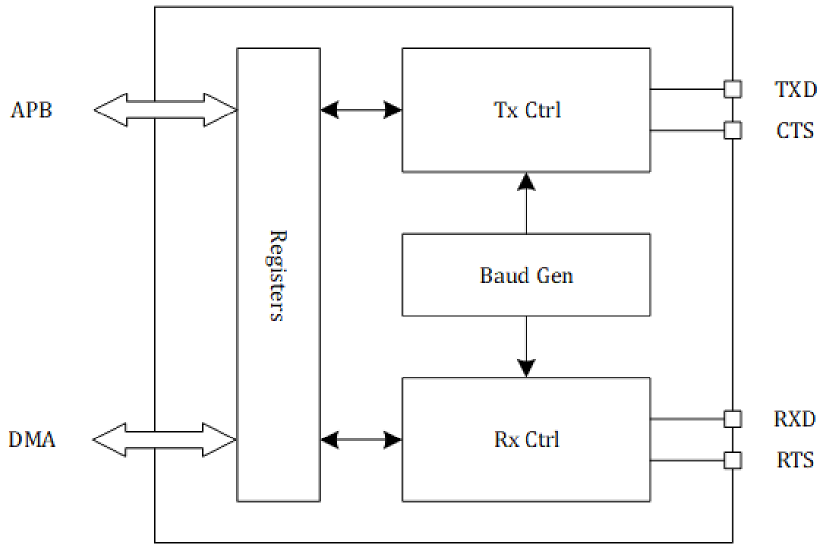


图 3-1: 通用异步收发器

通用异步收发器主要特性：

- 全双工异步通信
- 可配置 16 倍过采样或 8 倍过采样，选择频率优先或者时钟容忍度优先
- 灵活波特率配置，当输入时钟为 48MHz 且过采样率为 16 时，波特率为 3Mbps
- 可配置包长度（7/8/9 bits）
- 可配置停止位（1/2 bits）
- 硬件流控（CTS/RTS）
- DMA 多包发送和接收
- 接收奇偶校验和发送奇偶生成
- 接收和发送中断，以及其他错误中断

波特率计算说明

假设输入时钟固定为 48MHz，波特率计算公式如下：

$$Baud\ Rate = \frac{48MHz}{(BRR_{INT} + \frac{BRR_{FRAC}}{16})(16\ or\ 8)} \tag{3.1}$$

3.5.3 I2C

I2C(Inter-Integrated Circuit) 接口同时支持主设备与从设备角色，可作为主设备与 I2C 外设通信，也可作为从设备响应外部的 I2C 主设备。I2C 内置 8 字节 FIFO，可以进行单笔读写，也可通过 DMA 进行批量数据读写。I2C 支持标准模式 (standard-mode)、快速模式 (fast-mode)、增强快速模式 (fast-mode plus) 以及高速模式 (high-speed-mode)，最高速率可达到 3.4Mbps。

I2C 主要特性：

- 可同时作为 master 与 slave
- 支持总线多 master
- 支持标准模式 (最高 100kbps)

- 支持快速模式 (最高 400kbps)
- 支持快速模式 + (最高 1Mbps)
- 支持高速模式 (最高 3.4Mbps)
- 作为 master 支持访问 7 比特或 10 比特寻址
- 作为 slave 支持 7 比特寻址
- 可配置的总线时序
- 支持时钟延展 (clock stretching)
- 8 字节 FIFO，支持 DMA
- 可配置的数字防抖动电路
- 独立的功能时钟，支持系统时钟动态调节

3.5.4 PDM

PDM (Pulse Density Modulation) 脉冲密度调制接口主要是用于将 PDM 麦克风采集到的 PDM 音频信号转化为 PCM（Pulse Code Modulation）脉冲编码调制信号以供后续的音频处理。

PDM 主要特性：

- 同时支持左右两路立体声信号，也可以单独采集单声道信号
- 可提供的 PDM 麦克风时钟速率：3.072MHz、1.536MHz、0.768MHz、1.024MHz、2.4MHz、1.6MHz、0.8MHz
- 支持 PCM 数据的速率：48kHz、32kHz、24kHz、16kHz、12kHz、8kHz
- 支持 32bit、24bit、16bit、8bit 的 PCM 信号
- 支持分辨率为 0.5dB 并且从 -15dB 到 45dB 增益可调

3.5.5 I2S

I2S 接口是应用于音频的输入输出，可以用来连接外部音频芯片、数字麦克风等设备。相较模拟音频接口，I2S 数字音频接口有更好的抗干扰能力以及更精简的接口协议。

I2S 主要特性：

- 支持 master 和 slave 两种模式
- 支持全双工模式
- 可配置的 I2S 数据格式，包括左对齐、右对齐和标准格式
- 支持多种音频数据格式，包括 8-bit 和 16-bit 的单声道和立体声格式
- 可配置的 I2S PCM 信号位宽，最高到 24-bit

3.5.6 串行外设接口（SPI）

SPI 支持 3 种通信格式：SSP/SPI/Microwire。SSP/SPI 为全双工通信协议，控制器可以配置为 Master 或 Slave 模式。Microwire 为半双工通信协议，控制器仅可配置为 Master 模式。SPI 控制器内置发送/接收 FIFO。发送 FIFO 和接收 FIFO 共享同一个地址，读该地址时访问接收 FIFO，写该地址时访问发送 FIFO。SPI1/SPI2 位于 HPSYS，SPI3/SPI4 位于 LPSYS。

SPI 特性如下：

- 支持 8 到 32Bit 的数据宽度

- SPI 格式下时钟极性和相位可通过寄存器 SPO 和 SPH 设置
- 片选信号极性可配
- FIFO 深度为 32Bits×16Entry
- 接收发送都支持 DMA 模式
- HPSYS 中的 SPI 最大时钟频率为 48MHz，LPSYS 中的 SPI 最大时钟频率为 24MHz

各种通信格式工作时序如下：

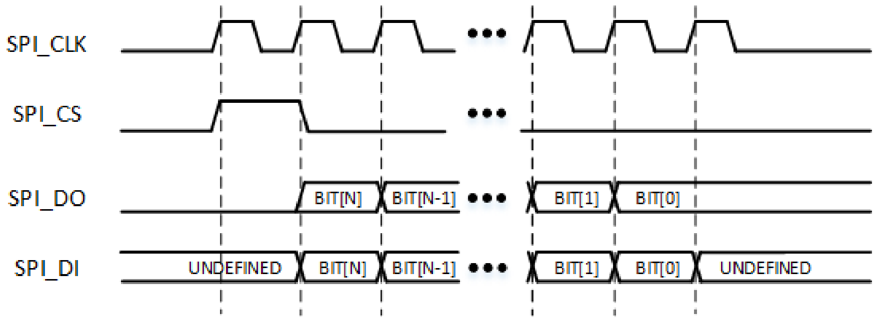


图 3-2: SSP 格式单次收发时序

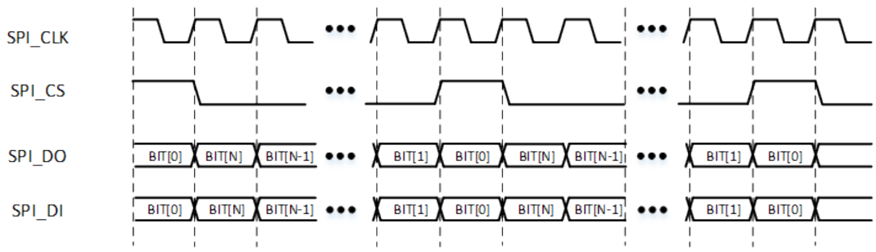


图 3-3: SSP 格式连续收发时序

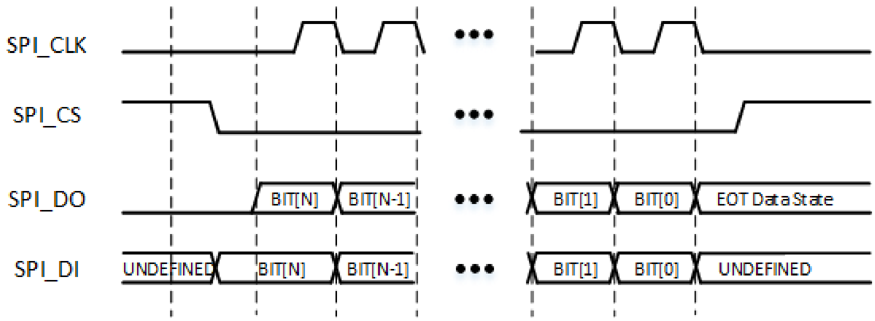


图 3-4: SPI 格式单次收发时序

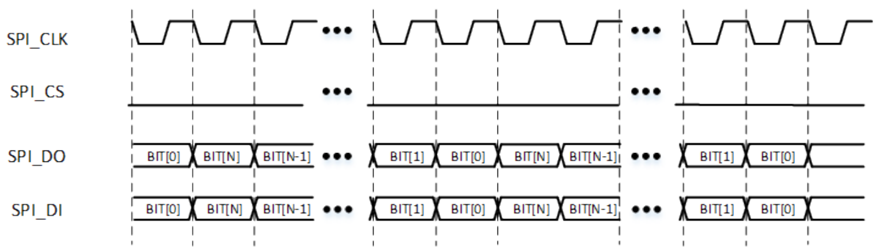


图 3-5: SPI 格式连续收发时序

下面图例用于说明 SPI 格式下 SPH/SPO 设置的效果：

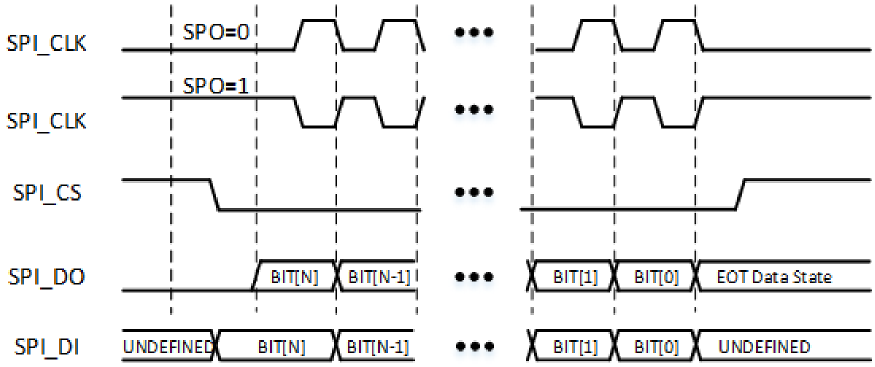


图 3-6: **SPH=0 时的 SPI 时序**

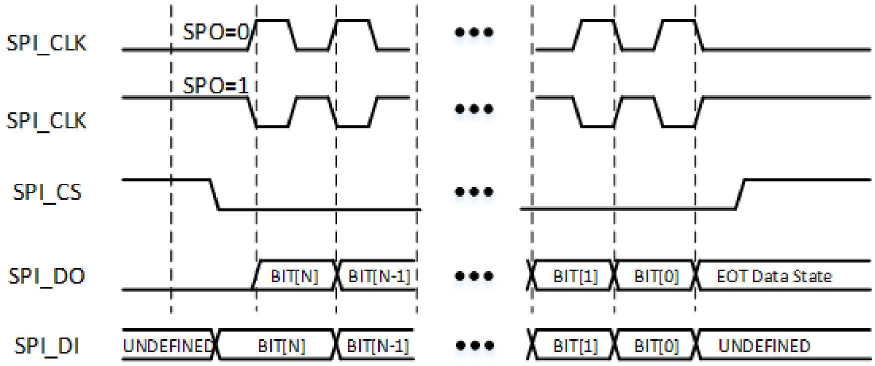


图 3-7: **SPH=1 时的 SPI 时序**

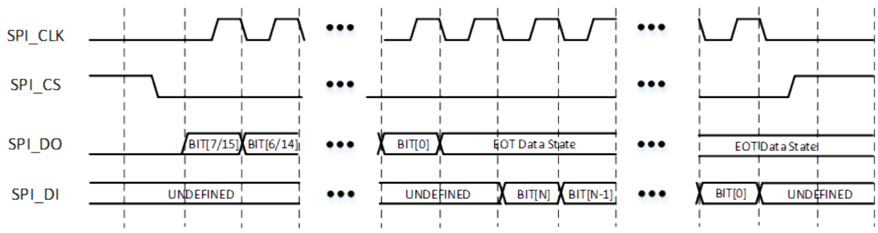


图 3-8: **Microwire 格式的单次收发时序**

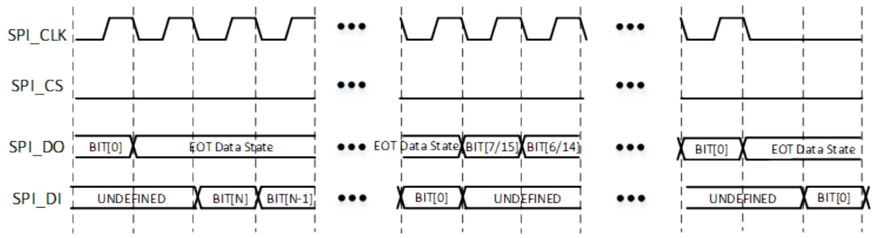


图 3-9: **Microwire 格式的多次收发时序**

3.5.7 外设任务控制器（PTC）

PTC (Peripheral Task Controller) 是一个独立的外设控制器，可以不需要唤醒 CPU ，自动完成各个外设的相互调度和控制任务。基于选定外设的事件触发，PTC 能够自动改写各外设的工作模式或工作状态，并且能够将这些任务串联构成自动触发的任务序列，从而完成复杂且快速响应的任务链。在任务链的进行过程中，CPU 可以一直保持睡眠，进而有效节省功耗。

PTC 共有 8 个通道，每个通道可以选择独立的触发源，并可配置独立的任务。可执行的任务包括两类：将指定数据直接写入指定地址；将指定地址的内容读出，与指定数据进行异或 / 与 / 或 / 加法操作后再写回。每个通道任务完成时，可产生触发信号从而触发其它通道的任务。每个通道可配置触发次数。部分通道支持触发后经过可配置的延时再执行任务。

PTC1 位于 HPSYS 中，PTC2 位于 LPSYS 中，均可以控制 HPSYS 与 LPSYS 总线上的外设。

PTC 主要特性：

- 8 个独立配置的通道可同时工作
- 每个通道触发可在 128 个触发源中选择，包括 PTC 自身的触发源
- 可访问 AHB 和 APB 外设地址空间，只支持 word 对齐访问
- 支持直接写数据，或读后改写
- 支持 32 位异或/与/或/加法运算
- 可配置触发次数 1 ~ 1023，或无限次触发
- 可配置触发延迟 0 ~ 65535 个 HCLK 周期
- 固定优先级仲裁，通道编号越小优先级越高
- 4 个 word 的寄存器空间用于数据缓存

3.5.8 USB2.0 FS

本芯片集成了一路全速（FS）USB2.0 Host/Device 接口，符合 USB 2.0 的协议规范，具有如下功能：

- 软件可配置的端点设置，支持挂起/恢复
- 支持动态 FIFO 大小
- 支持会话请求协议和主机协商协议
- 支持全速以及慢速模式
- 片内集成 USB2.0 FS PHY
- 拥有 ep0~ep7 8 个通道，其中 ep2~ep4 只支持 rx(即 host 只支持 IN，device 只支持 OUT)，ep5~ep7 只支持 tx(即 host 只支持 OUT，device 只支持 IN)

3.5.9 SIM 卡控制器

SIM 卡接口是半双工的串行接口，本芯片中的 SIM 卡控制器，支持 SIM 卡的数据包收发。控制器可以支持轮询模式和 DMA 模式，结合上层软件可以实现 SIM 卡的协议层通信功能。

3.6 定时器

3.6.1 通用定时器

GPTIM (General-Purpose Timer) 基于一个 16 比特计数器，可实现计时、测量输入信号的脉冲长度 (输入捕获) 或者产生输出波形 (输出比较和 PWM) 等功能。计数器本身可以进行递增、递减或者递增/递减计数，计数时钟可选系统 PCLK、IO 输入信号或级联输入信号，并可进行 1~65536 倍的预分频。GPTIM 共有 4 个通道，可以分别独立配置为输入捕获或输出模式。计数、输入捕获和输出比较的结果可以产生中断、DMA 请求或 PTC 事件。GPTIM 包含主从模式接口，可以进行多级级联，实现多级计数或同步触发等功能。

GPTIM 主要特性：

- 16 位递增、递减、递增/递减自动重装载计数器，最大计数 65535
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 8 位可配置重复计数
- 支持单笔计数模式 (OPM)，当重复计数完成后自动停止计数器
- 4 个独立通道，可分别配置为输入或输出模式
- 输入模式
  – 上升沿/下降沿捕获
  – PWM 脉宽和周期捕获 (需占用两个通道)
  – 可选 4 个输入端口之一或 1 个外部触发端口，支持防抖动滤波和预降频
- 输出模式
  – 强制输出高/低电平
  – 计数到比较值时输出高/低/翻转电平
  – PWM 输出，可配脉宽和周期
  – 多通道 PWM 组合输出，可产生有相互关系的多路 PWM
  – 单脉冲/重触发单脉冲模式输出
- 主从模式
  – 支持多计数器互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
  – 控制模式包括复位、触发、门控等
  – 支持多计数器同步启动、复位等
- 编码模式输入，控制计数器递增/递减计数
- 如下事件发生时产生中断/DMA 请求/PTC 触发：
  – 更新：计数器递增溢出/递减溢出，计数器初始化 (通过软件或者内部/外部触发)
  – 触发事件 (计数器启动、停止、初始化或者由内部/外部触发计数)
  – 输入捕获
  – 输出比较

3.6.2 高级定时器

ATIM (Advanced Timer) 基于一个 32 比特计数器，可实现计时、测量输入信号的脉冲长度 (输入捕获) 或者产生输出波形 (输出比较和 PWM) 等功能。ATIM 支持 6 路带死区保护的 PWM 互补输出，支持多路 PWM 同时换相，并有 2 路刹车输入可快速将输出切换至安全状态。计数器本身可以进行递增、递减或者递增/递减计数，计数时钟可选系统 PCLK、IO 输入信号或级联输入信号，并可进行 1~65536 倍的预分频。ATIM 共有 6 个通道，可以分别独立配置为输入捕获或输出模式。计数、输入捕获和输出比较的结果可以产生中断、DMA 请求或 PTC 事件。ATIM 包含主从模式接口，可以进行多级级联，实现多级计数或同步触发等功能。

ATIM 主要特性：

- 32 位递增、递减、递增/递减自动重装载计数器
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 16 位可配置重复计数
- 支持单笔计数模式 (OPM)，当重复计数完成后自动停止计数器
- 6 个独立通道
  - 通道 1~3 可分别配置为输入或输出模式，其中每个通道可输出两路带死区保护的互补 PWM
  - 通道 4 可配置为输入或输出模式，可输出单路 PWM
  - 通道 5~6 可配置为输出比较模式
- 输入模式
  - 上升沿/下降沿捕获
  - PWM 脉宽和周期捕获 (需占用两个通道)
  - 可选 4 个输入端口之一或 1 个外部触发端口，支持防抖动滤波和预降频
- 输出模式
  - 强制输出高/低电平
  - 计数到比较值时输出高/低/翻转电平
  - PWM 输出，可配脉宽和周期
  - 多通道 PWM 组合输出，可产生有相互关系的多路 PWM
  - 单脉冲/重触发单脉冲模式输出
- 主从模式
  - 支持多计数器互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
  - 控制模式包括复位、触发、门控等
  - 支持多计数器同步启动、复位等
- 编码模式输入，控制计数器递增/递减计数
- 支持用于定位的霍尔传感器电路
- 2 路刹车输入，支持防抖动滤波，可将输出快速置于安全状态。刹车信号源包括：
  - CPU lockup
  - 外部输入
  - 软件触发
- 如下事件发生时产生中断/DMA 请求/PTC 触发：
  - 更新：计数器递增溢出/递减溢出，计数器初始化 (通过软件或者内部/外部触发)
  - 触发事件 (计数器启动、停止、初始化或者由内部/外部触发计数)
  - 输入捕获
  - 输出比较
  - 刹车
  - 换相

3.6.3 基本定时器

BTIM (Basic Timer) 基于一个 32 比特递增计数器，可实现计时功能。计数时钟为系统 PCLK 或级联输入信号，并可进行 1~65536 倍的预分频。计时结果可以产生中断、DMA 请求或 PTC 事件。BTIM 包含主从模式接口，可以进行多级级联，实现多级计数或同步触发等功能。

BTIM 主要特性：

- 32 位递增自动重装载计数器
- 16 位可编程预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 支持单笔计数模式 (OPM)，计数完成后自动停止计数器
- 主从模式
  - 支持与 BTIM 及 GPTIM 互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
  - 控制模式包括复位、触发、门控等
  - 支持多定时器同步启动、复位等
- 计数器溢出或初始化时产生中断，DMA 请求及 PTC 触发

3.6.4 低功耗定时器

LPTIM (Low-Power Timer) 基于一个 24 比特递增计数器，可实现计时、产生输出波形 (输出比较和 PWM) 和唤醒系统等功能。计数时钟可以为系统时钟、低功耗时钟、IO 输入信号或比较器输出，并可进行最多 128 倍的预分频以及最多 256 次的循环计数。根据计数结果可以产生 PWM 输出，并可产生中断，或产生唤醒信号将系统从低功耗模式唤醒。当用 IO 输入信号作为计数时钟时，支持不依赖于内部时钟进行计数并产生唤醒信号，从而允许系统关闭内部时钟。

LPTIM 主要特性：

- 24 位向上自动重装载计数器，最大计数 16777215(2^24-1)
- 计数时钟选择
  - 内部时钟，PCLK2 或低功耗时钟
  - 可选边沿的 IO 输入信号或比较器输出，可利用内部时钟进行防抖动，也可不依赖内部时钟独立计数
- 8 档预分频，计数时钟分频系数为 2 的 0~7 次方
- 1~256 循环次数
- 计数模式
  - 连续计数模式
  - 单笔计数模式，循环次数完成后计数结束
- 可配极性的输出模式
  - PWM 输出，可配脉宽、周期
  - 单次翻转输出
  - 单脉冲或指定个数脉冲输出
- 触发模式
  - 软件触发
  - IO 输入信号边沿触发，支持防抖动滤波
- 超时检测，每次外部触发时计数器复位
- 如下事件发生时产生中断或唤醒信号：
  - 更新
  - 计数器溢出
  - 输出比较
  - 外部触发

3.6.5 看门狗

看门狗计时器作为一种计数器主要是用于在到达设定好的时间之后重置系统，以防止软件挂死。

看门狗计时器基本功能：

- 支持两种工作模式：
  - Mode0
    - wdt 不会产生中断，在到达设定的时间之后会直接重置系统
    - 最高支持 24bit 的计数器
  - Mode1
    - 分为两段计数，在到达第一段设定的时间之后，会产生中断，在到达第二段设定的时间之后，再重置系统
    - 每个时间段最高支持 24bit 的计数器
- 支持写保护，以防止软件对 wdt 进行误操作

3.7 加密校验

3.7.1 AES 引擎

AES 引擎是一个针对对称加密算法的运算加速器，用户可以自行配置加解密算法的密钥以及初始向量对内存中的数据进行加解密运算操作，同时将结果存储到指定的内存区域。

相较软件的加解密运算，AES 引擎有更高的运算速度，更灵活的配置，更好的外设存储设备访问效率。除此以外，在 bypass 模式下，AES 引擎也可以作为数据传输的 DMA 来使用。

AES 主要特性：

- 支持 AES-128、AES-192、AES-256 以及国密 SM4 算法标准
- 支持 ECB、CTR 以及 CBC 模式
- 可以调用 RootKey 进行加解密的运算，同时保证 RootKey 不被外部程序读取

3.7.2 HASH 引擎

HASH 引擎是一个针对散列数列算法的运算加速器，用户可以选择不同的散列算法计算内存中特定数据的散列值。HASH 引擎相比软件算法速度更快，配置也灵活，用户也可以通过自定义初始向量，实现多线程 HASH 运算。HASH 引擎支持算法包括 SHA1、SHA224、SHA256 和 SM3。

3.7.3 CRC

CRC (Cyclic Redundancy Check) 可进行特定位宽、任意生成多项式、任意初始值的 CRC 计算。数据可以通过 CPU 或 DMA 输入，最小输入单元为单字节，没有最长字节数限制。单 HCLK 周期即能够完成单字节输入的计算。数据输入全部完成后即时得到校验结果。支持输入数据高低位倒转和输出数据高低位倒转。支持不同有效位宽的输入数据。

CRC 主要特性：

- 7/8/16/32 比特 CRC 计算

- 任意自定义多项式
- 任意初始值
- 输入数据支持单字节/双字节/三字节/四字节有效位宽
- 输入数据支持字节/双字节/四字节高低位比特倒转
- 输出数据支持高低位比特倒转
- 计算速度为每 HCLK 周期 1 字节

3.7.4 真随机数发生器（TRNG）

TRNG（True Random Number Generator）是一个借助振荡电路的不稳定性来产生随机数的模块。该模块无需外部的随机熵源，可以通过激活内部多个振荡电路，通过一定的熵源处理逻辑，生成随机数。

TRNG 主要特性：

- 独立的内部熵源
- 单次产生 256-bit 的种子和 256-bit 随机数
- 针对熵源的死锁校验

3.8 存储接口

3.8.1 MPI 接口

MPI (Memory Peripheral Interface) 控制器是一个专用的 memory 通信接口，支持多种片外存储颗粒，包括：

- SPI NOR Flash，支持 1 线/2 线/4 线，支持 DTR 模式
- SPI NAND Flash，支持 1 线/2 线/4 线
- pSRAM，支持 x8 和 x16 数据位宽，支持 Xccela 标准接口，兼容 Legacy 接口
- HyperRAM，支持 x8 和 x16 数据位宽，支持 HyperBus 标准接口

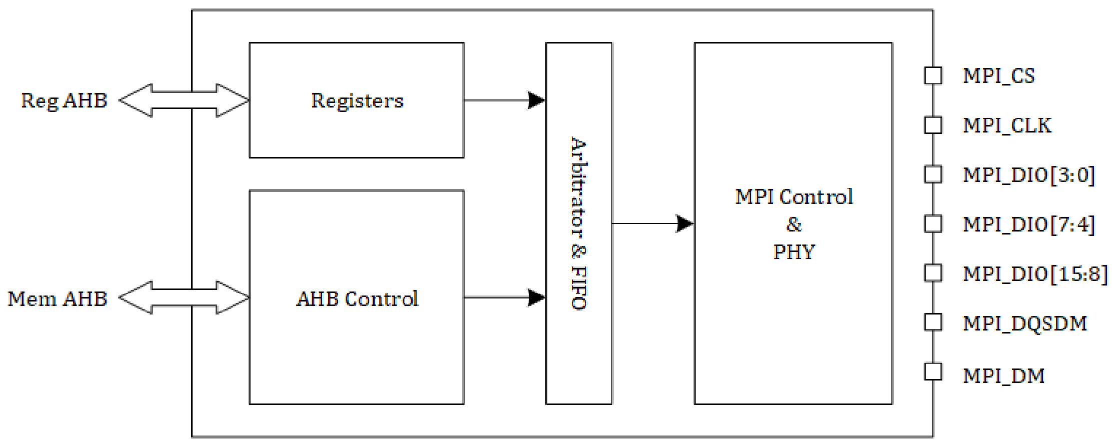


图 3-10: **MPI 控制器框图**

MPI 控制器支持两种操作模式：（1）寄存器模式和（2）地址映射模式。两种模式的切换由硬件自动完成，可动态穿插执行。且无论哪种模式，都支持高度可定制的接口时序，以兼容各种存储颗粒。

寄存器模式

- 通过寄存器操作，发送一个命令时序。也可以将该命令设置为状态查询命令反复发送，直到读回的数据满足某个预设状态
- 支持发送包含两个命令时序的序列，其中第二个命令可设置为状态查询命令反复发送，直到读回的数据满足某个预设状态
- 支持 DMA 通道，通过寄存器 FIFO 接口完成数据搬运

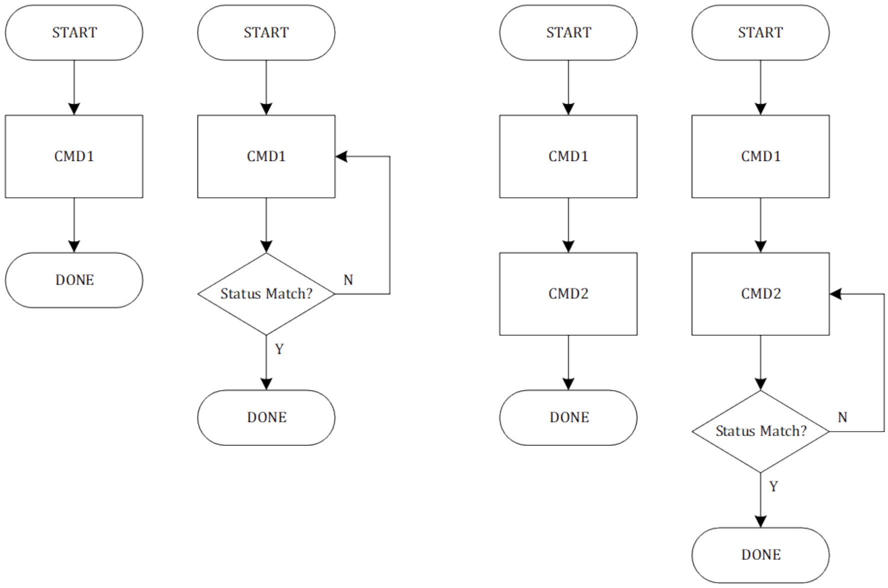


图 3-11: 寄存器模式单个和多个命令时序的序列

地址映射模式

- 外部 memory 映射为 AHB 地址空间，自动将 AHB 总线读写转换为预设的 Memory 接口时序，实现 XIP 功能
- 支持 Byte (8-bit)、Half-word (16-bit) 和 Word (32-bit) AHB 访问
- 高效转换 AHB Wrap 操作，不依赖于颗粒是否支持 Wrap
- 支持 XIP 实时（On-The-Fly）解密，模式为 AES128-CTR 或者 AES256-CTR
- 支持连续读写功能，如果当前一笔 AHB 的读写地址与前一笔连续，则直接开始数据传输，省略命令和地址部分。该功能可大幅提升大块数据搬运时的有效带宽
- 针对 pSRAM 和 HyperRAM 的内部动态刷新特性，自动处理颗粒最长 CS 拉低时间、最近 CS 访问间隔、最大 burst 数据长度等限制，无需软件处理

3.8.2 SD/SDIO/eMMC

SDMMC1 支持 SD 协议 3.0 以及 eMMC 标准 4.51，可作为 HOST 控制器与 SD/SDIO/eMMC 设备交互。SDMMC1 内置链式 DMA 控制器以及 1K 字节 FIFO，可自主进行数据读写，支持分块数据搬运。SDMMC1 支持 SDR 单线、4 线和 8 线模式，并支持 DDR 4 线和 8 线模式。

SDMMC1 主要特性：

- 兼容 SD Host Controller Standard Specification Version 3.0
- 兼容 SD 3.0 Physical Layer Specification Version 3.01
- 兼容 SDIO Specification Version 3.0

- 兼容 JEDEC JESD84-B451 eMMC 4.51 Specification
- 支持 SDSC/SDHC/SDXC/SDHS 卡
- 支持 UHS-1：SDR12/SDR25/SDR50/SDR104/DDR50
- 支持 SDR 单线、4 线、8 线模式
- 支持 DDR 4 线、8 线模式
- 内置 1K 字节 FIFO，最大支持单 block 512 字节
- 可配置时钟
- 内置链式 DMA

SDMMC2 支持 SD 协议 3.0 以及 eMMC 标准 4.51，可可作为 HOST 控制器与 SD/SDIO/eMMC 设备交互，并通过 DMAC 进行数据读写。SDMMC2 支持 SDR 单线和 4 线模式，不支持 DDR。

SDMMC2 主要特性：

- 兼容 SD Host Controller Standard Specification Version 3.0
- 兼容 SD 3.0 Physical Layer Specification Version 3.01
- 兼容 SDIO Specification Version 3.0
- 兼容 JEDEC JESD84-B451 eMMC 4.51 Specification
- 支持 SDSC/SDHC/SDXC/SDHS 卡
- 支持 SDR12/SDR25/SDR50
- 支持 SDR 单线，4 线模式
- 内置 2K 字节 FIFO，最大支持单 block 512 字节
- 可配置时钟
- 配合 DMAC 进行数据搬运

3.9 CAN

CAN(Controller Area Network) 兼容 CAN 协议 2.0b，不支持 CAN FD。CAN 的基础传输速率可配置，内部包含接收 FIFO 与发送 FIFO，支持多帧自动收发、自动重传、抢占发送等功能。CAN 包含灵活可配置的接收 ID 自动过滤器，仅在接收 FIFO 中保存过滤后的帧。发现总线和收发异常时，CAN 具有完备的错误通知机制。

CAN 主要特性:

- 兼容 CAN 2.0b，不支持 CAN FD
- 可配置数据率至 1Mbps
- 支持基础帧和扩展帧
- 帧数据长度可达 8byte
- 接收 FIFO 深度 7，发送 FIFO 深度 7+1
- 16 个灵活配置的 ID 过滤器
- 支持帧抢占发送
- 错误检测与通知机制

3.10 各种外设接口速率汇总

表 3-2: 常用接口速率

控制器	最高速率	单位	备注
MPI1	144	MHz	合封 OPI/HPI-PSRAM
MPI2	144	MHz	合封 OPI/HPI-PSRAM
MPI3	96	MHz	外挂 QSPI-NOR，QSPI-NAND Flash
MPI5	48	MHz	合封 QSPI-NOR，DTR
SDMMC	96	MHz	外挂 eMMC
I2C	3.4	MHz	
SPI1/2	48	MHz	
SPI3/4	8	MHz	
UART	3	Mbaud	
I2S	48	KHz	采样率 48KHz，32-bit×2 channel
PDM	3.072	MHz	
CAN	1	MHz	
GPADC	4	Msps	
SDADC	4	Ksps	

4 电气特性

4.1 基本电气特性

表 4-1: 运行条件

Symbol	Description	Min	Typ	Max	Unit
VDD	Power supply voltage from external source	1.7	3.3	3.6	V
T_{amb}	Ambient temperature	-40		85	°C
V_{IL}	CMOS low level input voltage	0		$0.3\times V_{IO}$	V
V_{IH}	CMOS high level input voltage	$0.7\times V_{IO}$		V_{IO}	V
V_{TH}	CMOS threshold voltage		$0.5\times V_{IO}$		V

表 4-2: 绝对最大值

Symbol	Description	Min	Typ	Max	Unit
VDD	Power supply voltage from external source			3.6	V
$T_{Storage}$	Storage temperature	-40		125	°C
V_{IN}	Input voltage	0		$V_{IO}+0.3$	V
V_{LNA}	LNA input level			0	dBm
I_{IN}	Input current			20	mA

表 4-3: I/O 特性 @3.3V

符号	参数	最小值	典型值	最大值	单位
C_{IN}	管脚电容	2.5	3	3.5	pF
V_{IH}	高电平输入电压	0.7*VDD	-	VDD	V
V_{IL}	低电平输入电压	VSS	-	0.3*VDD	V
I_{IH}	高电平输入电流	-	10	40	nA
I_{IL}	低电平输入电流	-	10	40	nA
V_{OH}	高电平输出电压 (高阻负载)	0.8*VDD	-	VDD	V
V_{OL}	低电平输出电压 (高阻负载)	VSS	-	0.2*VDD	V
I_{OH}	高电平驱动电流 （V_{OH}=0.8*VDD, 最大驱动强度）	12	30	38	mA
I_{OL}	低电平驱动电流 （V_{OH}=0.2*VDD, 最大驱动强度）	12	30	38	mA
R_{PU}	内部上拉电阻（V_{pad}=0.8*VDD）	7	10	20	kΩ
R_{PD}	内部下拉电阻（V_{pad}=0.2*VDD）	7	10	20	kΩ
V_{IH_nRST}	芯片复位释放电压	0.7*VDD	-	VDD	V
V_{IL_nRST}	芯片复位电压	VSS	-	0.3*VDD	V

4.2 可靠性

表 4-4: 可靠性测试

测试项目	测试条件		适用产品	测试标准
HTOL（高温工作寿命）	125°C, 1000 小时		SF32LB56x QFN68L SF32LB56x BGA175	JESD22-A108
ESD（静电放电敏感度)	HBM（HUMAN BODY MODE）	± 5000 V	SF32LB56x QFN68L	JS-001-2017
		± 2000 V	SF32LB56x BGA175	JS-001-2017
	CDM（CHARGE DEVICE MODE）	±1000V	SF32LB56x BGA175	JS-002-2018
		±750V	SF32LB56x QFN68L	JS-002-2018
Latch-up (闩锁测试)	LU (LATCH-UP)	I-Test: ± 200mA	SF32LB56x QFN68L SF32LB56x BGA175	JESD78E
		OVT: +1.5×Vdd_{MAX}	SF32LB56x QFN68L SF32LB56x BGA175	
MSL3(湿度敏感等级)	烘烤：125°C，24 小时 浸泡：30°C，60% RH，192 小时 回流焊：260 + 0°C，20 秒，三次		SF32LB56x QFN68L SF32LB56x BGA175	J-STD-020 JESD47 JESD22-A113
TCT（高低温循环试验）	-65°C~150°C, 1000 次循环		SF32LB56x QFN68L SF32LB56x BGA175	JESD22-A104
uHAST（无偏压高加速温湿度应力试验）	130°C，85% RH，96 小时		SF32LB56x QFN68L SF32LB56x BGA175	JESD22-A118
HTSL（高温贮存寿命）	150°C, 1000 小时		SF32LB56x QFN68L SF32LB56x BGA175	JESD22-A103
PCT(高压蒸煮实验)	QFN：121°C，100% RH，29.7PSI，96 小时		SF32LB56x QFN68L	JESD22-A102
Solderability(可焊性实验)	QFN: 245±5°C，Aging 8 小时		SF32LB56x QFN68L	J-STD-002D-2013

4.3 功耗特性

4.3.1 处理器功耗

表 4-5: 处理器功耗

			电源电压 1.8V（mA）	电源电压 1.8V 电流增量（uA/MHz)	电源电压 3.8V（mA）	电源电压 3.8V 电流增量（uA/MHz)
CoreMark	HPSYS	240MHz	16.53	53.54	8.51	27.57
		192MHz	13.96		7.19	
	LPSYS	48MHz	1.465	24.79	0.75	12.76
		24MHz	0.87		0.45	
WhileLoop	HPSYS	240MHz	13.52	39.79	6.96	20.49
		192MHz	11.61		5.98	
	LPSYS	48MHz	1.086	16.88	0.56	8.69
		24MHz	0.681		0.35	
关机	按键唤醒（发送 shutdown)			252nA		
关机	RTC 唤醒（发送 shutdown 5）			262nA		

* 1. 以上电源电压 3.8V 的功耗是依据 1.8V 及 3.3V 两路供电的测试数据按照效率计算的结果（计算公式：$I_{3.8V} = I_{1.8V} \times 1.8/90\%/3.8+I_{3.3V}$）。

4.3.2 BT 和 BLE 功耗

表 4-6: **BT 和 BLE 功耗**

模式	条件	电源电压 3.8V @TXpower=0dBm 典型值	电源电压 3.8V @TXpower=4dBm 典型值	电源电压 3.8V @TXpower=10dBm 典型值	单位
ΔBT Sniff Mode	50ms (attempt=1)	142.5	149.5	180.0	uA
	100ms (attempt=1)	71.3	74.8	90.0	uA
	200ms (attempt=1)	35.6	37.4	45.0	uA
	500ms (attempt=1)	14.3	15.0	18.0	uA
	1s (attempt=1)	7.1	7.5	9.0	uA
ΔBLE ADV	50ms	183.3	214.5	337.6	uA
	100ms	91.7	107.3	168.8	uA
	200ms	45.8	53.6	84.4	uA
	500ms	18.3	21.5	33.8	uA
	1s	9.2	10.7	16.9	uA
ΔBLE Connection	50ms	125.4	127.6	146.1	uA
	100ms	62.7	63.8	73.1	uA
	200ms	31.3	31.9	36.5	uA
	500ms	12.5	12.8	14.6	uA
	1s	6.3	6.4	7.3	uA
ΔScan	Inquiry Scan or Page Scan	54.2			uA
ΔBoth Scan	Inquiry Scan and Page Scan	108.4			uA
Standby		1.7			uA

* 1. Scan 每 1.28s 接收 28.82ms，Both Scan 每 1.28s 接收 57.64ms。

2. 电源：PVDD + AVDD33_ANA。

3. 以上电源电压 3.8V 的功耗是依据 1.8V 及 3.3V 两路供电的测试数据按照效率计算的结果（计算公式：$I_{3.8V} = I_{1.8V} \times 1.8/90\%/3.8+I_{3.3V}$）。

4. 计算示例：

Standby mode bt 500ms sniff @TXpower10dBm：=18+1.7=19.7uA

bt 500ms sniff + ble 500ms connection @TXpower10dBm：=18+14.6+1.7=34.3uA

4.4 蓝牙射频

4.4.1 BLE 射频

4.4.1.1 BLE 发射机性能

表 4-7: BLE 发射机性能—1Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			19		dBm
RF power control range		-20		19	dBm
Adjacent channel transmit power (@+19dBm)	F = F_0+2MHz		-27	-20	dBm
	F = F_0-2MHz		-27	-20	dBm
	F = F_0+3MHz		-31	-30	dBm
	F = F_0-3MHz		-31	-30	dBm
	F = F_0+>3MHz		-38	-30	dBm
	F = F_0->3MHz		-38	-30	dBm
Δf_{1avg} Maximum modulation		225	250	275	kHz
Δf_{2max} Minimum modulation		185	210		kHz
$\Delta f_{2avg}/\Delta f_{1avg}$		0.8	0.89		
ICFT		-150	±20	150	kHz
Drift rate		-20	±4	20	kHz/50us
Drift		-50	±4	50	kHz
Harmonic spur（@+19dBm transmit power）	Second harmonic		-50*		dBm
	Third harmonic		-40*		dBm

* With external π type matching network

表 4-8: BLE 发射机性能—2Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			19		dBm
RF power control range		-20		19	dBm
Adjacent channel transmit power (@+19dBm)	F = F_0+4MHz		-37	-20	dBm
	F = F_0-4MHz		-37	-20	dBm
	F = F_0+5MHz		-38	-20	dBm
	F = F_0-5MHz		-38	-20	dBm
	F = F_0+>5MHz		-42	-30	dBm
	F = F_0->5MHz		-42	-30	dBm
Δf_{1avg} Maximum modulation		450	500	550	kHz
Δf_{2max} Minimum modulation		370	420		kHz
$\Delta f_{2avg}/\Delta f_{1avg}$		0.8	0.89		
ICFT		-150	±20	150	kHz
Drift rate		-20	±4	20	kHz/50us
Drift		-50	±4	50	kHz
Harmonic Spur（@+19dBm transmit power）	Second harmonic		-50*		dBm
	Third harmonic		-40*		dBm

* With external π type matching network

4.4.1.2 BLE 接收机性能

表 4-9: BLE 接收机性能—1Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty off@30.8% PER & 37bytes		/	-100	/	dBm
Sensitivity with dirty on@30.8% PER & 37bytes		/	-99.3	/	dBm
Maximum received signal@30.8% PER		/	0	/	dBm
C/I co-channel			7		dB
Adjacent channel selectivity C/I	$F = F_0+1MHz$		-10		dB
	$F = F_0-1MHz$		-7		dB
	$F = F_0+2MHz$		-43		dB
	$F = F_0-2MHz$		-40		dB
	$F = F_0+3MHz$		-50		dB
	$F = F_0-3MHz$		-40		dB
	$F = F_{image}(F_0-4MHz)$		-24		dB
Out of band blocking performance	30MHz~2000MHz		-11		dBm
	2000MHz~2400MHz		-25		dBm
	2500~3000MHz		-25		dBm
	3000MHz~12.5GHz		-10		dBm
Intermodulation			-24		dBm

表 4-10: BLE 接收机性能—2Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty off@30.8% PER & 37bytes		/	-97	/	dBm
Sensitivity with dirty on@30.8% PER & 37bytes		/	-96.5	/	dBm
Maximum received signal@30.8% PER		/	0	/	dBm
C/I co-channel			7		dB
Adjacent channel selectivity C/I	$F = F_0+2MHz$		-10		dB
	$F = F_0-2MHz$		-8		dB
	$F = F_0+4MHz$		-44		dB
	$F = F_0-4MHz$		-34		dB
	$F = F_0+6MHz$		-50		dB
	$F = F_0-6MHz$		-24		dB
	$F = F_{image}(F_0-6MHz)$		-24		dB
Out of band blocking performance	30MHz 2000MHz		-11		dBm
	2000MHz-2400MHz		-25		dBm
	2500-3000MHz		-25		dBm
	3000MHz-12.5GHz		-10		dBm
Intermodulation			-25		dBm

4.4.2 经典蓝牙

4.4.2.1 发射机性能

表 4-11: 发射机性能—Basic Data Rate

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			19		dBm
RF power control step		2	4	8	dB
Adjacent channel transmit power	F = F_0+2MHz		-37	-20	dBm
	F = F_0-2MHz		-37	-20	dBm
	F = F_0+3MHz		-41	-40	dBm
	F = F_0-3MHz		-41	-40	dBm
	F = F_0+>3MHz		-44	-40	dBm
	F = F_0->3MHz		-44	-40	dBm
Δf_{1avg} modulation		140	160	175	kHz
Δf_{2max} modulation		120	150	175	kHz
$\Delta f_{2avg}/\Delta f_{1avg}$		0.8	0.9		
ICFT		-75	0	75	kHz
Drift (1 slot packet)		-25	0	25	kHz
Drift (5 slot packet)		-40	0	40	kHz
Harmonic spur	3G-20GHz		-35		dBm

表 4-12: 发射机性能—Enhanced Data Rate

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transimit power			13		dBm
DPSK Power - GFSK Power	2-DH5		0		dB
$\pi/4$ DQPSK max w_0		-10	0	10	kHz
$\pi/4$ DQPSK max w_i		-75	0	+75	kHz
$\pi/4$ DQPSK max $\|w_i + w_0\|$		-75	0	+75	kHz
8DPSK max w_0		-10	0	10	kHz
8DPSK max w_i		-75	0	+75	kHz
8DPSK max $\|w_i + w_0\|$		-75	0	+75	kHz
$\pi/4$ DQPSK modulation accuracy	RMS DEVM		6	20	%
	99% DEVM		11	30	%
	Peak DEVM		16	35	%
8DPSK modulation accuracy	RMS DEVM		6	13	%
	99% DEVM		11	20	%
	Peak DEVM		16	25	%
In-band spurious emissions	F=F_0+1MHz		-39	-26	dBm
	F=F_0-1MHz		-41	-26	dBm
	F=F_0+2MHz		-28	-20	dBm
	F=F_0-2MHz		-29	-20	dBm
	F=F_0+3MHz		-39*		dBm
	F=F_0-3MHz		-39*		dBm
	F=F_0+>3MHz		-40	-40	dBm
	F=F_0->3MHz		-40	-40	dBm
EDR differential phase encoding			99	100	%

* Exceptions in up to 3 bands are allowed. For exceptions, PTX $\leq$ -20dBm.

4.4.2.2 接收机性能

表 4-13: 接收机性能—Basic Data Rate

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@0.1% BER		/	-96.3	/	dBm
Sensitivity with dirty transmit on@0.1% BER		/	-94	/	dBm
Maximum received signal@0.1% BER		0	/	/	dBm
C/I co-channel			10		dB
Adjacent channel selectivity C/I	$F = F_0+1MHz$		-13		dB
	$F = F_0-1MHz$		-10		dB
	$F = F_0+2MHz$		-42		dB
	$F = F_0-2MHz$		-43		dB
	$F = F_0+3MHz$		-48		dB
	$F = F_0-3MHz$		-45		dB
	$F = F_{image}(F_0-5MHz)$		-31		dB
Out of band blocking performance	30MHz~2000MHz	-10	-10		dBm
	2000MHz~2400MHz	-27	-10		dBm
	2500~3000MHz	-27	-10		dBm
	3000MHz~12.5GHz	-10	-10		dBm
Intermodulation			-22		dBm

表 4-14: 接收机性能—Enhanced Data Rate-$\pi/4$ DQPSK

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@0.01% BER		/	-95.5	/	dBm
Sensitivity with dirty transmit on@0.01% BER		/	-95	/	dBm
Maximum received signal@0.01% BER		/	0	/	dBm
C/I co-channel			11		dB
Adjacent channel selectivity C/I	$F = F_0+1MHz$		-13		dB
	$F = F_0-1MHz$		-9		dB
	$F = F_0+2MHz$		-35		dB
	$F = F_0-2MHz$		-31		dB
	$F = F_0+3MHz$		-41		dB
	$F = F_0-3MHz$		-41		dB
	$F = F_{image}(F_0-5MHz)$		-30		dB

表 4-15: 接收机性能—Enhanced Data Rate-8DPSK

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@0.01% BER		/	-88.5	/	dBm
Sensitivity with dirty transmit on@0.01% BER		/	-87	/	dBm
Maximum received signal@0.01% BER		/	0	/	dBm
C/I co-channel			17		dB
Adjacent channel selectivity C/I	$F = F_0+1MHz$		-4		dB
	$F = F_0-1MHz$		-5		dB
	$F = F_0+2MHz$		-29		dB
	$F = F_0-2MHz$		-29		dB
	$F = F_0+3MHz$		-39		dB
	$F = F_0-3MHz$		-39		dB
	$F = F_{image}(F_0-5MHz)$		-28		dB

4.5 音频性能

表 4-16: 音频 ADC 性能

Analogue to Digital Converter under 3.3V

Parameter	Test Condition	Min	Typ	Max	Unit
Resolution		/	/	24	Bits
Sample Frequency		8	/	48	kHz
Analog Gain Range	1dB/Step	-20		10	dB
Input Resistance	Analog Gain = 0dB, @48kHz Sample Frequency	/	23	/	KΩ
Dynamic Range	1kHz -60dBFS Input, @48kHz Sample Frequency, Output A-Weighted	/	99	/	dB
Signal to Noise Ratio	1kHz Input, @48kHz Sample Frequency, Output A-Weighted	/	99	/	dB
Total Harmonic Distortion+Noise	Analog Gain = 0dB, 1kHz Input, @48kHz Sample Frequency	/	-80	/	dB

表 4-17: 音频 DAC 性能

Digital to Analogue Converter under 3.3V

Parameter	Test Condition	Min	Typ	Max	Unit
Resolution		/	/	24	Bits
Output Swing			0.9		Vrms
Sample Frequency		8	/	48	kHz
Total Harmonic Distortion+Noise	1kHz Output, 0dBFS,with 10kOhm Loading, @48kHz Sample Frequency, Output A-Weighted	/	-99	/	dB
Dynamic Range	1kHz Output, -60dBFS,with 10kOhm Loading, @48kHz Sample Frequency, Output A-Weighted	/	109	/	dB
Noise Floor		/	3.3	/	μV rms
Signal to Noise Ratio	1kHz Output, 0dBFS,with 10kOhm Loading, @48kHz Sample Frequency, Output A-Weighted	/	109	/	dB

4.6 IO 驱动能力

表 4-18: IO 驱动能力 @3.3V

DS0	DS1	Driving Capability
0	0	2mA
0	1	4mA
1	0	8mA
1	1	12mA

5 封装与硬件

5.1 管脚布局

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
A	VSS	PVDD	VDD_RTC		PA55	PA56	PA65		PA73	PBR0		XTAL48M_XI	XTAL48M_XO		PB35	VSS
B	BUCK_LX	BUCK_FB	LDO1_VOUT	VDD_RET	VSS		PA64	PA69	PA71	PBR1	PBR3	AVSS	AVSS_RF4	PB36	PB31	PB30
C		LDO2_VOUT	PA52			PA60	PA62			PA78	PA75			PB34	PB29	
D	BOOT_MODE	PA53	PA54	PA58		PA57	PA63	PA67		PA76		PBR2	PB32	PB33		AVSS_RF1
E	PA51	PA50		PVSS	VSS	PA61	PA66	PA68	PA70	PA72	PA74	PA77	VSS			BRF_ANT
F		PA49	PA48	PA59								VSS	MIC_BIAS		AVSS_RF2	
G	PA46	PA45	PA44	PA47	PA42		VSS	VSS	VSS	PB5		VSS	ADCN	ADCP	AVSS_RF3	AVDD_BRF
H	VDDIOSA	VDDIOSB	PA43	PA40	PA39		VSS	VSS	VSS	PB4		VSS	AUD_VREF	AVSS	AVDD33_ANA	AVDD33_AUD
J		PA41			PA37		PA10	VSS	VSS	VDDIOB		PB9			AVSS	
K	PA35	PA38		PA36	PA31							PB11	PB22		DACP	DACN
L	PA33	PA34	PA32	PA29	PA16	VDDIOA	PA7	VDDIOA2	PA3	PB0	PB1	VSS	PB23	PB24	GPADC_VREFP	AVSS
M		PA30	PA28		PA14	PA11		PA6	PA2		PB3	PB17		PB26	PB28	
N	PA26	PA27	PA25	PA24	PA13			PA4			PB7	PB16	PB10	PB14	PB25	PB27
P	PA20	PA23	PA19	PA18	PA17		PA9	PA5	PA1	PB2	PB6	PB15	PB8	PB18	PB19	PB20
R	VSS	PA21	PA22		PA15	PA12	PA8		PA0	VDDIOSC		PB13	PB12		PB21	VSS

图 5-1: SF32LB565/SF32LB566/SF32LB567（BGA175）管脚布局（俯视图）

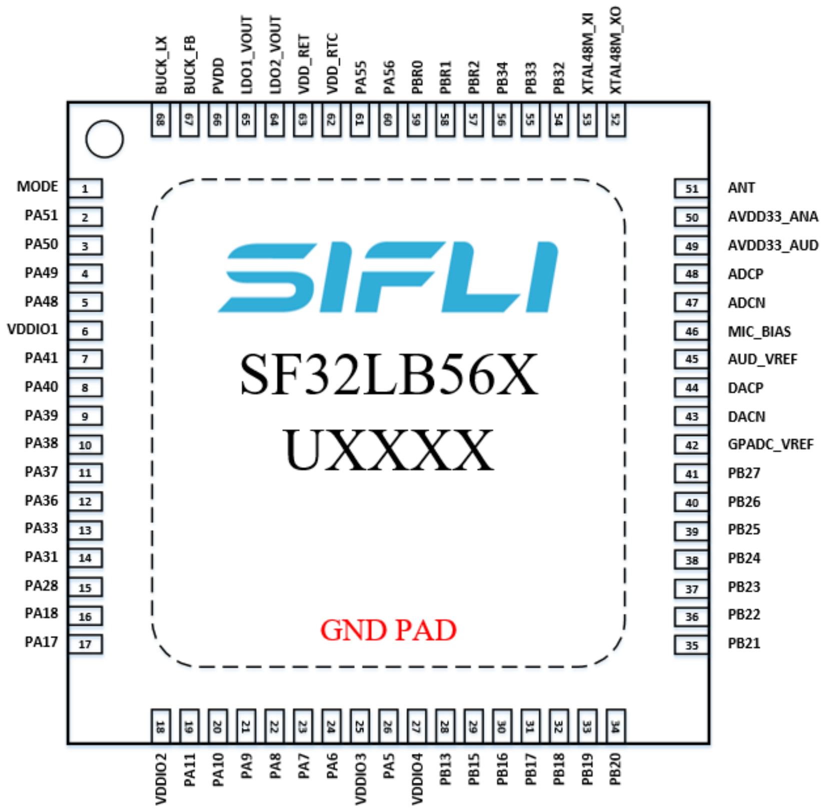


图 5-2: SF32LB561/SF32LB563（QFN68L）管脚分布

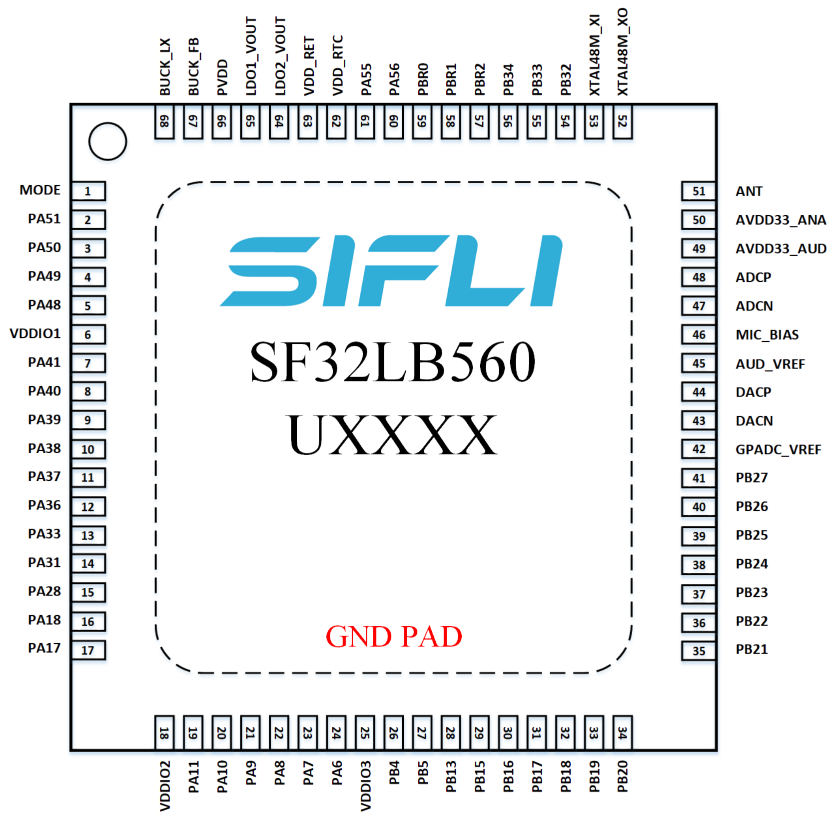


图 5-3: SF32LB560（QFN68L）管脚分布

5.2 管脚描述

本芯片的管脚类型如表5-1所示，以下将分别对大核域 GPIO、小核域 GPIO、其它专用管脚加以描述。

表 5-1: 管脚类型

Pin Type	Description
I/O	Digital input/output
I	Digital input
O	Digital output
A, I	Analog input
A, O	Analog output
A, I/O	Analog input/output
PWR	Power
GND	Ground

5.2.1 大核域 GPIO（PA）列表

表 5-2: 大核域 GPIO（PA）管脚列表

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	R9	PA00	I/O	0	GPIO_A0
					2	WLAN_ACTIVE
					3	ATIM1_CH1
					4	PA_I2C_UART
					5	PA_TIM
					6	SCI_CLK
					Others	Reserved
-	-	P9	PA01	I/O	0	GPIO_A1
					2	BT_ACTIVE
					3	ATIM1_CH1N
					4	PA_I2C_UART
					5	PA_TIM
					6	SCI_DIO
					7	SPI1_DI
					Others	Reserved
-	-	M9	PA02	I/O	0	GPIO_A2
					2	BT_COLLISION
					4	PA_I2C_UART
					5	PA_TIM
					6	SCI_RST
					7	SPI1_CS
					Others	Reserved
-	-	L9	PA03	I/O	0	GPIO_A3
					3	ATIM1_CH2
					4	PA_I2C_UART
					5	PA_TIM
					6	CAN1_TXD
					7	SPI1_DO
					8	SPI1_DIO
					Others	Reserved
-	-	N8	PA04	I/O	0	GPIO_A4
					2	BT_PRIORITY
					3	ATIM1_CH2N
					4	PA_I2C_UART
					5	PA_TIM
					6	CAN1_RXD
					7	SPI1_CLK
					Others	Reserved
-	26	P8	PA05	I/O	0	GPIO_A5
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
24	24	M8	PA06	I/O	0	GPIO_A6
					1	SD2_DIO2
					2	MPI3_CS
					3	I2S1_MCLK
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
23	23	L7	PA07	I/O	0	GPIO_A7
					1	SD2_DIO3
					2	MPI3_DIO1
					3	I2S1_SDI
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
22	22	R7	PA08	I/O	0	GPIO_A8
					1	SD2_CLK
					2	MPI3_DIO2
					3	I2S1_SDO
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
21	21	P7	PA09	I/O	0	GPIO_A9
					1	SD2_CMD
					2	MPI3_DIO0
					3	I2S1_BCK
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
20	20	J7	PA10	I/O	0	GPIO_A10
					1	SD2_DIO0
					2	MPI3_CLK
					3	I2S1_LRCK
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
19	19	M6	PA11	I/O	0	GPIO_A11
					1	SD2_DIO1
					2	MPI3_DIO3
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	R6	PA12	I/O	0	GPIO_A12
					1	SD1_DIO2
					2	MPI3_CS
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	N5	PA13	I/O	0	GPIO_A13
					1	SD1_DIO6
					2	BT_ACTIVE
					3	ATIM1_CH3
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R1
					Others	Reserved
-	-	M5	PA14	I/O	0	GPIO_A14
					1	SD1_DIO7
					2	WLAN_ACTIVE
					3	ATIM1_CH3N
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R0
					Others	Reserved
-	-	R5	PA15	I/O	0	GPIO_A15
					1	SD1_DIO1
					2	MPI3_DIO3
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	L5	PA16	I/O	0	GPIO_A16
					3	ATIM1_CH4
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R2
					Others	Reserved
17	17	P5	PA17	I/O	0	GPIO_A17
					2	#USB11_DP
					3	ATIM1_BKIN
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
16	16	P4	PA18	I/O	0	GPIO_A18
					2	#USB11_DM
					3	ATIM1_BKIN2
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	P3	PA19	I/O	0	GPIO_A19
					1	SD1_DIO5
					2	BT_PRIORITY
					3	ATIM1_ETR
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R4
					Others	Reserved
-	-	P1	PA20	I/O	0	GPIO_A20
					1	SD1_DIO3
					2	MPI3_DIO1
					3	SPI1_CLK
					4	PA_I2C_UART
					5	PA_TIM
					7	I2S1_LRCK
					8	PDM1_DATA
					Others	Reserved
-	-	R2	PA21	I/O	0	GPIO_A21
					1	SD1_DIO4
					2	BT_COLLISION
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R5
					Others	Reserved
-	-	R3	PA22	I/O	0	GPIO_A22
					1	SD1_DIO0
					2	MPI3_CLK
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	P2	PA23	I/O	0	GPIO_A23
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R6
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	N4	PA24	I/O	0	GPIO_A24
					2	ATIM1_CH1
					3	SPI1_CS
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R3
					7	I2S1_SDI
					8	PDM1_CLK
					Others	Reserved
-	-	N3	PA25	I/O	0	GPIO_A25
					1	SD1_CLKIN
					2	ATIM1_CH1N
					3	SPI1_DI
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_R7
					7	I2S1_BCK
					8	PDM2_DATA
					Others	Reserved
-	-	N1	PA26	I/O	0	GPIO_A26
					1	SD1_CLK
					2	MPI3_DIO2
					3	SPI1_DO
					4	PA_I2C_UART
					5	PA_TIM
					7	I2S1_SDO
					8	PDM2_CLK
					Others	Reserved
-	-	N2	PA27	I/O	0	GPIO_A27
					1	SD1_CMD
					2	MPI3_DIO0
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
15	15	M3	PA28	I/O	0	GPIO_A28
					2	SPI2_CS
					3	SWDIO
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G0
					7	LCDC1_JDI_B2
					8	LCDC1_8080_DIO2
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	L4	PA29	I/O	0	GPIO_A29
					2	SPI2_DI
					3	ATIM1_CH2
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G5
					7	LCDC1_JDI_R1
					8	LCDC1_8080_DIO3
					Others	Reserved
-	-	M2	PA30	I/O	0	GPIO_A30
					2	SPI2_CLK
					3	ATIM1_CH2N
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G1
					7	LCDC1_JDI_B1
					8	LCDC1_8080_DIO4
					Others	Reserved
14	14	K5	PA31	I/O	0	GPIO_A31
					3	SWCLK
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G6
					7	LCDC1_JDI_R2
					8	LCDC1_8080_DIO5
					Others	Reserved
-	-	L3	PA32	I/O	0	GPIO_A32
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G2
					7	LCDC1_JDI_G2
					8	LCDC1_8080_DIO6
					Others	Reserved
13	13	L1	PA33	I/O	0	GPIO_A33
					1	LCDC1_SPI_TE
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G3
					8	LCDC1_8080_TE
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	L2	PA34	I/O	0	GPIO_A34
					2	SPI2_DO
					3	SPI2_DIO
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G4
					7	LCDC1_JDI_G1
					8	LCDC1_8080_DIO7
					Others	Reserved
-	-	K1	PA35	I/O	0	GPIO_A35
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_G7
					Others	Reserved
12	12	K4	PA36	I/O	0	GPIO_A36
					1	LCDC1_SPI_CS
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B0
					7	LCDC1_JDI_HCK
					8	LCDC1_8080_CS
					Others	Reserved
11	11	J5	PA37	I/O	0	GPIO_A37
					1	LCDC1_SPI_CLK
					2	I2S1_MCLK
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B1
					8	LCDC1_8080_WR
					Others	Reserved
10	10	K2	PA38	I/O	0	GPIO_A38
					1	LCDC1_SPI_DIO0
					2	I2S1_SDI
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B2
					7	LCDC1_JDI_HST
					8	LCDC1_8080_RD
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
9	9	H5	PA39	I/O	0	GPIO_A39
					1	LCDC1_SPI_DIO1
					2	I2S1_SDO
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B5
					7	LCDC1_JDI_XRST
					8	LCDC1_8080_DC
					Others	Reserved
8	8	H4	PA40	I/O	0	GPIO_A40
					1	LCDC1_SPI_DIO2
					2	I2S1_BCK
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B6
					7	LCDC1_JDI_VST
					8	LCDC1_8080_DIO0
					Others	Reserved
7	7	J2	PA41	I/O	0	GPIO_A41
					1	LCDC1_SPI_DIO3
					2	I2S1_LRCK
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B4
					7	LCDC1_JDI_VCK
					8	LCDC1_8080_DIO1
					Others	Reserved
-	-	G5	PA42	I/O	0	GPIO_A42
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_VSYNC
					Others	Reserved
-	-	H3	PA43	I/O	0	GPIO_A43
					1	LCDC1_SPI_RSTB
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B3
					7	LCDC1_JDI_ENB
					8	LCDC1_8080_RSTB
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	G3	PA44	I/O	0	GPIO_A44
					3	ATIM1_CH3
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_HSYNC
					Others	Reserved
-	-	G2	PA45	I/O	0	GPIO_A45
					3	ATIM1_CH3N
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_CLK
					Others	Reserved
-	-	G1	PA46	I/O	0	GPIO_A46
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_B7
					Others	Reserved
-	-	G4	PA47	I/O	0	GPIO_A47
					3	ATIM1_CH4
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_DE
					Others	Reserved
5	5	F3	PA48	I/O	0	GPIO_A48
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
4	4	F2	PA49	I/O	0	GPIO_A49
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
3	3	E2	PA50	I/O	0	GPIO_A50
					2	#WKUP_PIN5
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_SD
					Others	Reserved
2	2	E1	PA51	I/O	0	GPIO_A51
					2	#WKUP_PIN6
					4	PA_I2C_UART
					5	PA_TIM
					6	LCDC1_DPI_CM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	C3	PA52	I/O	0	GPIO_A52
					2	#WKUP_PIN7
					3	ATIM1_BKIN
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D2	PA53	I/O	0	GPIO_A53
					2	#WKUP_PIN8
					3	ATIM1_BKIN2
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D3	PA54	I/O	0	GPIO_A54
					2	#WKUP_PIN9
					3	ATIM1_ETR
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
61	61	A5	PA55	I/O	0	GPIO_A55
					1	#XTAL32K_XI
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
60	60	A6	PA56	I/O	0	GPIO_A56
					1	#XTAL32K_XO
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D6	PA57	I/O	0	GPIO_A57
					1	SPI1_CLK
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D4	PA58	I/O	0	GPIO_A58
					1	SPI1_CS
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	F4	PA59	I/O	0	GPIO_A59
					1	SPI1_DI
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	C6	PA60	I/O	0	GPIO_A60
					3	ATIM1_CH1
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	E6	PA61	I/O	0	GPIO_A61
					1	SPI1_DO
					2	SPI1_DIO
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	C7	PA62	I/O	0	GPIO_A62
					3	ATIM1_CH1N
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D7	PA63	I/O	0	GPIO_A63
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	B7	PA64	I/O	0	GPIO_A64
					1	I2S1_SDO
					2	PDM1_DATA
					4	PA_I2C_UART
					5	PA_TIM
					6	SPI2_DO
					7	SPI2_DIO
					Others	Reserved
-	-	A7	PA65	I/O	0	GPIO_A65
					1	I2S1_MCLK
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	E7	PA66	I/O	0	GPIO_A66
					3	ATIM1_CH2
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D8	PA67	I/O	0	GPIO_A67
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	E8	PA68	I/O	0	GPIO_A68
					3	ATIM1_CH2N
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	B8	PA69	I/O	0	GPIO_A69
					1	I2S1_SDI
					2	PDM1_CLK
					4	PA_I2C_UART
					5	PA_TIM
					6	SPI2_DI
					Others	Reserved
-	-	E9	PA70	I/O	0	GPIO_A70
					3	ATIM1_CH3
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	B9	PA71	I/O	0	GPIO_A71
					1	I2S1_LRCK
					2	PDM2_DATA
					3	ATIM1_CH3N
					4	PA_I2C_UART
					5	PA_TIM
					6	SPI2_CS
					Others	Reserved
-	-	E10	PA72	I/O	0	GPIO_A72
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	A9	PA73	I/O	0	GPIO_A73
					1	I2S1_BCK
					2	PDM2_CLK
					3	ATIM1_CH4
					4	PA_I2C_UART
					5	PA_TIM
					6	SPI2_CLK
					Others	Reserved
-	-	E11	PA74	I/O	0	GPIO_A74
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	C11	PA75	I/O	0	GPIO_A75
					3	ATIM1_BKIN
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	D10	PA76	I/O	0	GPIO_A76
					3	ATIM1_BKIN2
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	E12	PA77	I/O	0	GPIO_A77
					3	ATIM1_ETR
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved
-	-	C10	PA78	I/O	0	GPIO_A78
					4	PA_I2C_UART
					5	PA_TIM
					Others	Reserved

1. PA_I2C_UART*：选择通用 I2C 或者 UART 功能。通过设置 SYSCFG1 中 I2C（或 UART）某个功能的管脚号，可以将 I2C1/2/3/4 和 UART1/2/3 的任意功能映射到任意 PA 管脚上。比如：把 PA01 和 PA03 设置为 PA_I2C_UART，然后设置 I2C2 的 SDA pin=1（即 PA01），SCL pin=3（即 PA03）。
2. PA_TIM*：选择通用 TIMER 功能。通过设置 SYSCFG1 中 GPTIM 某个功能的管脚号，可将 GPTIM1/2 任意信号映射到任意 PA 管脚上。

5.2.2 小核域 GPIO（PB）列表

表 5-3: 小核域 GPIO（PB）管脚列表

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	L10	PB00	I/O	0	GPIO_B0
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	L11	PB01	I/O	0	GPIO_B1
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	P10	PB02	I/O	0	GPIO_B2
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	M11	PB03	I/O	0	GPIO_B3
					2	PB_I2C_UART
					3	PB_TIM
					4	BT_COLLISION
					Others	Reserved
26	-	H10	PB04	I/O	0	GPIO_B4
					1	TWI_CLK
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
27	-	G10	PB05	I/O	0	GPIO_B5
					1	TWI_DIO
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	P11	PB06	I/O	0	GPIO_B6
					2	PB_I2C_UART
					3	PB_TIM
					4	BT_ACTIVE
					7	LPCOMP1_OUT
					Others	Reserved
-	-	N11	PB07	I/O	0	GPIO_B7
					2	PB_I2C_UART
					3	PB_TIM
					4	WLAN_ACTIVE
					Others	Reserved

续表下页...

表 5-3: 小核域 GPIO（PB）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	P13	PB08	I/O	0	GPIO_B8
					1	SPI4_CS
					2	PB_I2C_UART
					3	PB_TIM
					4	BT_PRIORITY
					Others	Reserved
-	-	J12	PB09	I/O	0	GPIO_B9
					1	SPI4_CLK
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	N13	PB10	I/O	0	GPIO_B10
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	K12	PB11	I/O	0	GPIO_B11
					1	SPI4_DI
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	R13	PB12	I/O	0	GPIO_B12
					1	SPI4_DO
					2	PB_I2C_UART
					3	PB_TIM
					4	SPI4_DIO
					Others	Reserved
28	28	R12	PB13	I/O	0	SWDIO
					1	GPIO_B13
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
-	-	N14	PB14	I/O	0	GPIO_B14
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved
29	29	P12	PB15	I/O	0	SWCLK
					1	GPIO_B15
					2	PB_I2C_UART
					3	PB_TIM
					Others	Reserved

续表下页...

表 5-3: 小核域 GPIO（PB）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
30	30	N12	PB16	I/O	0	GPIO_B16
					2	PB_I2C_UART
					3	PB_TIM
					7	#DCTEST0
					Others	Reserved
31	31	M12	PB17	I/O	0	GPIO_B17
					2	PB_I2C_UART
					3	PB_TIM
					7	#DCTEST1
					Others	Reserved
32	32	P14	PB18	I/O	0	GPIO_B18
					1	SPI3_CS
					2	PB_I2C_UART
					3	PB_TIM
					7	#LPCOMP1_P
					Others	Reserved
33	33	P15	PB19	I/O	0	GPIO_B19
					1	SPI3_CLK
					2	PB_I2C_UART
					3	PB_TIM
					7	#LPCOMP1_N
					Others	Reserved
34	34	P16	PB20	I/O	0	GPIO_B20
					1	SPI3_DI
					2	PB_I2C_UART
					3	PB_TIM
					7	#LPCOMP2_P
					Others	Reserved
35	35	R15	PB21	I/O	0	GPIO_B21
					1	SPI3_DO
					2	PB_I2C_UART
					3	PB_TIM
					4	SPI3_DIO
					7	#LPCOMP2_N
					Others	Reserved
36	36	K13	PB22	I/O	0	GPIO_B22
					2	PB_I2C_UART
					3	PB_TIM
					4	TWI_CLK
					7	#GPADC_CH0
					Others	Reserved

续表下页...

表 5-3: 小核域 GPIO（PB）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
37	37	L13	PB23	I/O	0	GPIO_B23
					2	PB_I2C_UART
					3	PB_TIM
					4	TWI_DIO
					7	#GPADC_CH1
					Others	Reserved
38	38	L14	PB24	I/O	0	GPIO_B24
					2	PB_I2C_UART
					3	PB_TIM
					7	#GPADC_CH2
					Others	Reserved
39	39	N15	PB25	I/O	0	GPIO_B25
					2	PB_I2C_UART
					3	PB_TIM
					7	#GPADC_CH3
					Others	Reserved
40	40	M14	PB26	I/O	0	GPIO_B26
					2	PB_I2C_UART
					3	PB_TIM
					7	#GPADC_CH4
					Others	Reserved
41	41	N16	PB27	I/O	0	GPIO_B27
					2	PB_I2C_UART
					3	PB_TIM
					7	#GPADC_CH5
					Others	Reserved
-	-	M15	PB28	I/O	0	GPIO_B28
					2	PB_I2C_UART
					3	PB_TIM
					4	BT_COLLISION
					7	#GPADC_CH6
					Others	Reserved
-	-	C15	PB29	I/O	0	GPIO_B29
					2	PB_I2C_UART
					3	PB_TIM
					4	BT_PRIORITY
					7	LPCOMP2_OUT
					Others	Reserved
-	-	B16	PB30	I/O	0	GPIO_B30
					2	PB_I2C_UART
					3	PB_TIM
					4	BT_ACTIVE
					Others	Reserved

续表下页...

表 5-3: 小核域 GPIO（PB）管脚列表（续）

Pin Number			Pin Name	Type	Sel #	Function
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567				
QFN68L	QFN68L	BGA175				
-	-	B15	PB31	I/O	0	GPIO_B31
					2	PB_I2C_UART
					3	PB_TIM
					4	WLAN_ACTIVE
					Others	Reserved
54	54	D13	PB32	I/O	0	GPIO_B32
					1	#WKUP_PIN0
					7	#GPADC_CH7
					Others	Reserved
55	55	D14	PB33	I/O	0	GPIO_B33
					1	#WKUP_PIN1
					7	#ACTEST0
					Others	Reserved
56	56	C14	PB34	I/O	0	GPIO_B34
					1	#WKUP_PIN2
					7	#ACTEST1
					Others	Reserved
-	-	A15	PB35	I/O	0	GPIO_B35
					1	#WKUP_PIN3
					Others	Reserved
-	-	B14	PB36	I/O	0	GPIO_B36
					1	#WKUP_PIN4
					Others	Reserved
59	59	A10	PBR00	I/O	0	PWR_REQ
					1	GPO
					2	LPTIM3_OUT
					3	LPTIM3_OUT_BAR
					Others	Reserved
58	58	B10	PBR01	I/O	0	GPO
					1	CLK_LP
					2	LPTIM3_OUT
					3	LPTIM3_OUT_BAR
					Others	Reserved
57	57	D12	PBR02	I/O	0	GPO
					1	CLK_LP
					2	LPTIM3_OUT
					3	LPTIM3_OUT_BAR
					Others	Reserved
-	-	B11	PBR03	I/O	0	GPO
					1	CLK_LP
					2	LPTIM3_OUT
					3	LPTIM3_OUT_BAR
					Others	Reserved

1. PB_I2C_UART*：选择通用 I2C 或者 UART 功能。通过设置 SYSCFG2 中 I2C（或 UART）某个功能的管脚号，可以将 I2C5/6/7 和 UART4/5/6 的任意功能映射到任意 PB 管脚上。比如：把 PB23 和 PA24 设置为 PB_I2C_UART，然后设置 UART5 的 RXD pin=23（即

PB23），TXD pin=24（即 PB24）。

2. PB_TIM*：选择通用 TIMER 功能。通过设置 SYSCFG2 中 GPTIM 某个功能的管脚号，可将 GPTIM3/4 任意信号映射到任意 PB 管脚上。
3. PWR_REQ*：芯片上电或者小核从 standby 唤醒时，该信号都会提前（在 LCPU 上电前）从低拉高。适合用作小核 FLASH 的上电使能信号。
4. CLK_LP*：可输出 XTAL32K 时钟，供外部芯片使用。
5. LPTIM3_OUT*：可输出 60Hz 左右信号，提供给譬如 JDI 接口使用。

5.2.3 专用管脚（电源、射频、模拟、数字）列表

表 5-4: 专用管脚（电源、射频、模拟、数字）列表

Pin Number			Pin Name	Type	Description
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567			
QFN68L	QFN68L	BGA175			
66	66	A2	PVDD	PWR	PVDD 电源输入
		E4	PVSS	GND	BUCK 地
68	68	B1	BUCK_LX	PWR	BUCK_LX 输出
67	67	B2	BUCK_FB	PWR	内部电源输入
65	65	B3	LDO1_VOUT	PWR	LDO1 输出
64	64	C2	LDO2_VOUT	PWR	LDO2 输出
63	63	B4	VDD_RET	PWR	RET LDO 输出
62	62	A3	VDD_RTC	PWR	RTC LDO 输出
		L6	VDDIOA	PWR	PA GPIO(PA0~11 除外) 电源输入
		L8	VDDIOA2	PWR	PA0~11 电源输入
		J10	VDDIOB	PWR	GPIOB 电源输入
		H1	VDDIOSA	PWR	SIPA 电源输入
		H2	VDDIOSB	PWR	SIPB 电源输入
		R10	VDDIOSC	PWR	SIPC 电源输入
6	6		VDDIO1	PWR	内部大核合封存储器电源输入
18	18		VDDIO2	PWR	PA GPIO(PA6~11 除外) 电源输入
25	25		VDDIO3	PWR	PA6~11 电源输入 *
	27		VDDIO4	PWR	PB GPIO 和内部小核合封 Flash 电源输入
50	50	H15	AVDD33_ANA	PWR	模拟电源 + 射频 PA 电源输入
42	42	L15	GPADC_VREFP	A,I	GPADC 参考电压外挂电容脚
		L16	AVSS	GND	模拟地
1	1	D1	BOOT_MODE	I	启动模式
53	53	A12	XTAL48M_XI	A,I/O	48MHz 晶体接口
52	52	A13	XTAL48M_XO	A,I/O	48MHz 晶体接口
		B12	AVSS	GND	模拟地
51	51	E16	BRF_ANT	A,I/O	射频天线
		G16	AVDD_BRF	PWR	射频电源输入
		D16	AVSS_RF1	GND	射频地
		F15	AVSS_RF2	GND	射频地
		G15	AVSS_RF3	GND	射频地
		B13	AVSS_RF4	GND	射频地
46	46	F13	MIC_BIAS	PWR	MIC 电源输出
48	48	G14	ADCP	A,I	差分 P 或单端模拟 MIC 输入
47	47	G13	ADCN	A,I	差分模拟 MIC 输入 N 或 GND

续表下页...

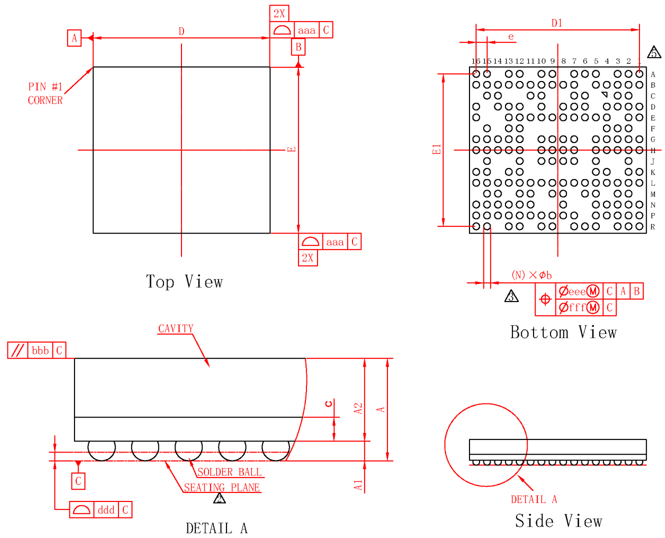
表 5-4: 专用管脚（电源、射频、模拟、数字）列表（续）

Pin Number			Pin Name	Type	Description
SF32LB560	SF32LB561 SF32LB563	SF32LB565 SF32LB566 SF32LB567			
QFN68L	QFN68L	BGA175			
44	44	K15	DACP	A,O	差分模拟输出 P
43	43	K16	DACN	A,O	差分模拟输出 N
49	49	H16	AVDD33_AUD	PWR	模拟音频电源输入
45	45	H13	AUD_VREF	A,I	音频 VREF 输入
		H14	AVSS	GND	模拟地
		J15	AVSS	GND	模拟地
		A1	VSS	GND	地
		A16	VSS	GND	地
		B5	VSS	GND	地
		E13	VSS	GND	地
		G7	VSS	GND	地
		G8	VSS	GND	地
		G9	VSS	GND	地
		G12	VSS	GND	地
		H7	VSS	GND	地
		H8	VSS	GND	地
		H9	VSS	GND	地
		H12	VSS	GND	地
		F12	VSS	GND	地
		J8	VSS	GND	地
		J9	VSS	GND	地
		E5	VSS	GND	地
		L12	VSS	GND	地
		R1	VSS	GND	地
		R16	VSS	GND	地

* SF32LB560 把 SF32LB561/SF32LB563 的 VDDIO3 和 VDDIO4 合并成 VDDIO3

5.3 封装尺寸

symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.840	0.940	1.040	0.033	0.037	0.041
A1	0.130	0.180	0.230	0.005	0.007	0.009
A2	0.710	0.760	0.810	0.028	0.030	0.032
c	0.180	0.220	0.260	0.007	0.009	0.010
D	6.400	6.500	6.600	0.252	0.256	0.260
E	6.000	6.100	6.200	0.236	0.240	0.244
D1	---	6.000	---	---	0.236	---
E1	---	5.600	---	---	0.220	---
e	---	0.400	---	---	0.016	---
b	0.200	0.250	0.300	0.008	0.010	0.012
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.050			0.002		
Ball Diam	0.250			0.010		
N	175			175		
MD/ME	16/15			16/15		



TECHNOLOGY SPECIFICATION[技术要求]

1. BALL PAD OPENING: 0.230mm; [球形防焊开口：0.230mm；]

2. PRIMARY DATUM C AND SEATING PLANE ARE THE SOLDER BALLS;
[主要基准C和底面是锡球；]

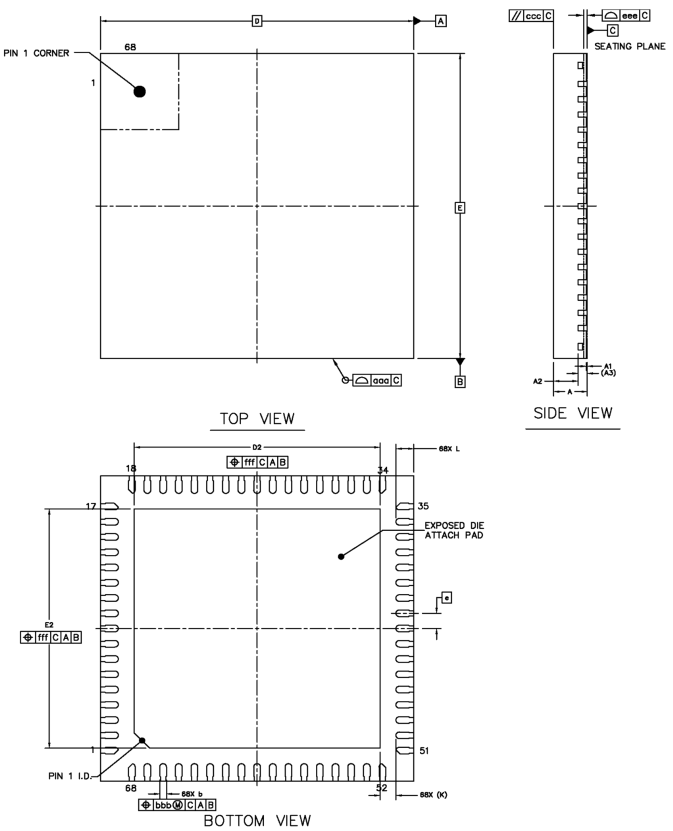
3. DIMENSION b IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C; [尺寸b是测量最大锡球直径，平行于主要基准C；]

4. SPECIAL CHARACTERISTICS C CLASS: bbb, ddd; [特殊特性C类：bbb, ddd；]

5. THE PATTERN OF PIN 1 FIDUCIAL IS FOR REFERENCE ONLY;
[PIN 1 标识仅供参考；]

6. BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES;
[禁止使用一级环境管理物质；]

图 5-4: **BGA175 封装尺寸**



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.1	0.15	0.2
BODY SIZE	X	D	7 BSC		
	Y	E	7 BSC		
LEAD PITCH		e	0.35 BSC		
EP SIZE	X	D2	5.39	5.49	5.59
	Y	E2	5.39	5.49	5.59
LEAD LENGTH		L	0.35	0.4	0.45
LEAD TIP TO EXPOSED PAD EDGE		K	0.355 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

NOTES
1. REFER TO JEDEC MO-220;
2. COPLANARITY APPLIES TO LEADS, CORNER LEADS AND DIE ATTACH PAD;
3. BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES;
4. FINISH: Cu/EP · Sn8~20s

图 5-5: **QFN68L 封装尺寸**

5.4 载带尺寸

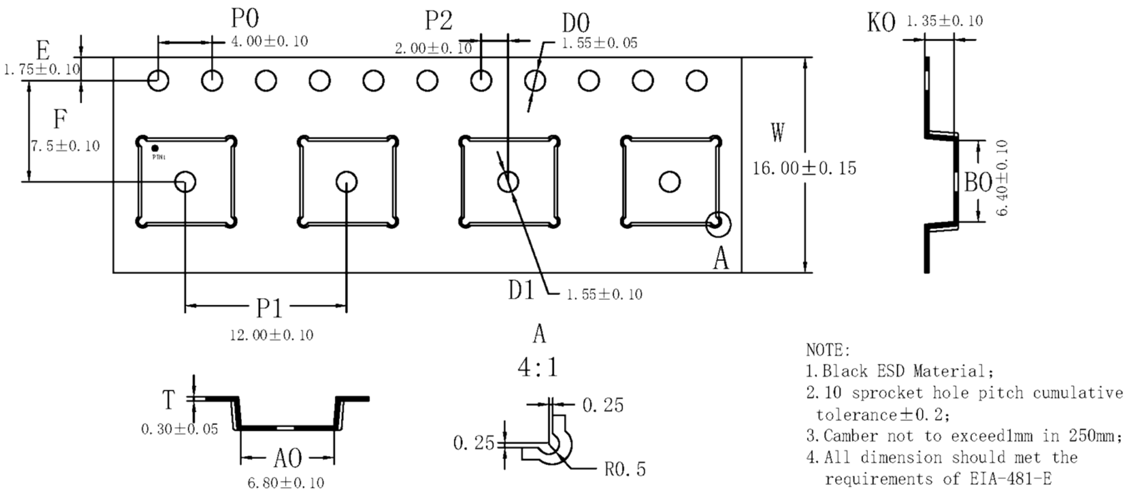
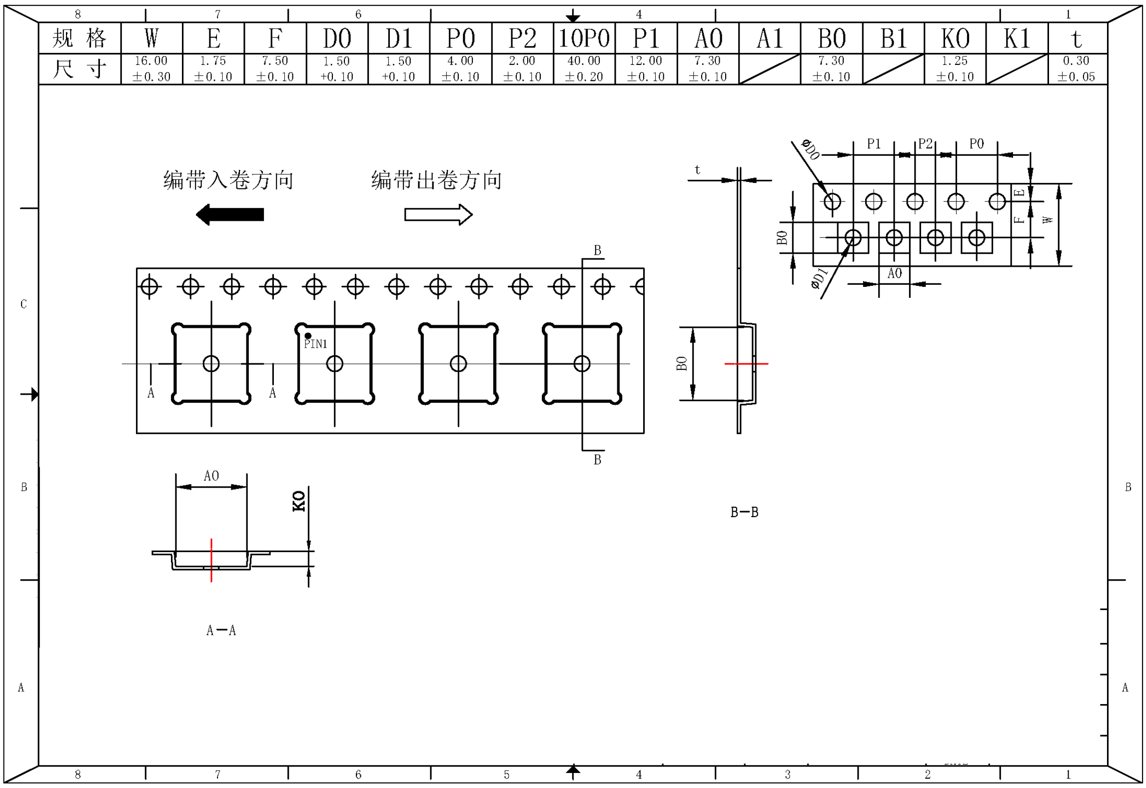


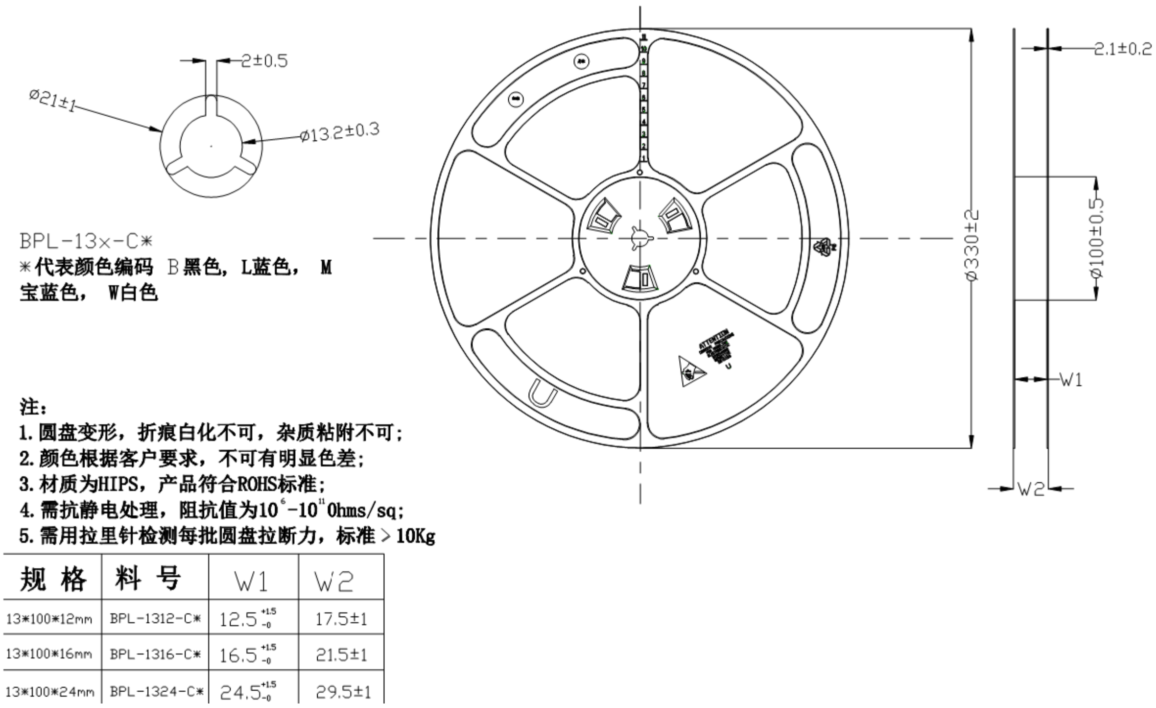
图 5-6: **BGA175 载带尺寸**



规格	W	E	F	D0	D1	P0	P2	10P0	P1	A0	A1	B0	B1	K0	K1	t
尺寸	16.00 ±0.30	1.75 ±0.10	7.50 ±0.10	1.50 +0.10	1.50 +0.10	4.00 ±0.10	2.00 ±0.10	40.00 ±0.20	12.00 ±0.10	7.30 ±0.10		7.30 ±0.10		1.25 ±0.10		0.30 ±0.05

图 5-7: **QFN68L 载带尺寸**

5.5 卷盘尺寸



规 格	料 号	W1	W2
13*100*12mm	BPL-1312-C*	$12.5^{+1.5}_{-0}$	17.5±1
13*100*16mm	BPL-1316-C*	$16.5^{+1.5}_{-0}$	21.5±1
13*100*24mm	BPL-1324-C*	$24.5^{+1.5}_{-0}$	29.5±1

图 5-8: 卷盘尺寸

5.6 分级回流焊

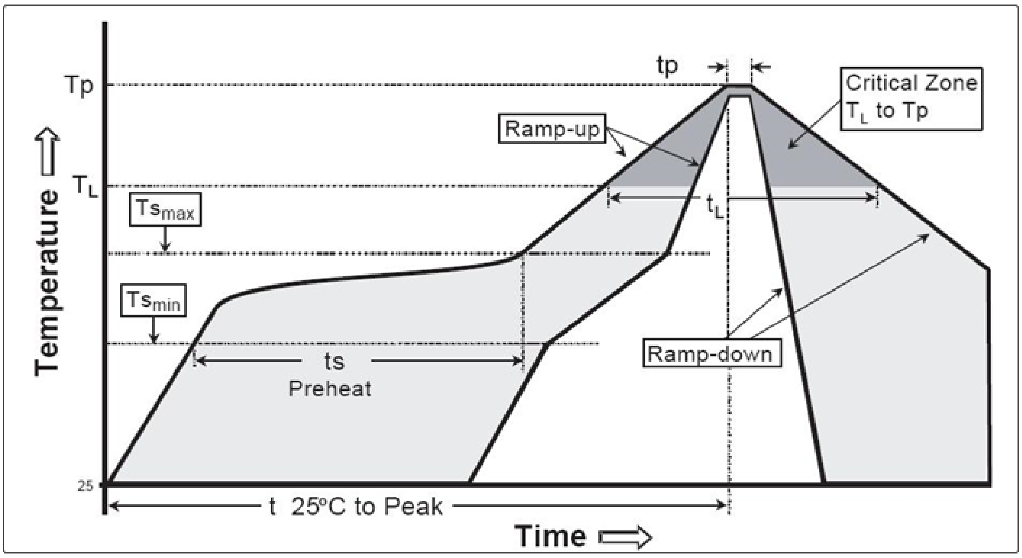


图 5-9: 分级回流焊

表 5-5: 分级回流焊对照表

项目	锡-铅工艺	无铅工艺
平均升温速率 (Ts_{max} to T_p)	最大 3°C/秒	最大 3°C/秒
预热初温 (Ts_{min}) 预热目标温度 (Ts_{max}) 预热时长 (Ts_{min} to Ts_{max})	100°C 100°C 60-120 秒	150°C 200°C 60-180 秒
恒温温度 (T_L) 恒温时长 (t_L)	183°C 60-150 秒	217°C 60-150 秒
尖峰温度（T_p）	225+0/-5°C	240+0/-5°C
尖峰温度时长（tp）	10-30 秒	20-40 秒
降温速率	最大 6°C/秒	最大 6°C/秒
25°C 到尖峰温度时长 (t)	最多 6 分钟	最多 8 分钟

表 5-6: 无铅工艺峰值回流温度对照表

封装厚度	体积（mm^3）<350	体积（mm^3）≥350
<2.5mm	240 + 0/-5°C	225 + 0/-5°C
≥2.5mm	225 + 0/-5°C	225 + 0/-5°C

表 5-7: 无铅工艺分级回流温度对照表

封装厚度	体积（mm^3）<350	体积（mm^3）350-2000	体积（mm^3）>2000
<1.6mm	260 + 0 °C	260 + 0 °C	260 + 0 °C
1.6mm –2.5mm	260 + 0 °C	250 + 0 °C	245 + 0 °C
≥2.5mm	250 + 0 °C	245 + 0 °C	245 + 0 °C

5.7 订购信息

表 5-8: 订购信息

料号	封装	合封规格	每盘数量 (PCS)
SF32LB567VND36	WBBGA175: 6.5×6.1×0.94mm-0.4	128Mb pSRAM + 8Mb Nor Flash	3000
SF32LB566VCB36	WBBGA175: 6.5×6.1×0.94mm-0.4	64Mb pSRAM + 32Mb pSRAM + 4Mb Nor Flash	3000
SF32LB56WUND26	QFN68L: 7×7×0.75mm-0.35	128Mb pSRAM + 4Mb Nor Flash	3000
SF32LB563UCN26	QFN68L: 7×7×0.75mm-0.35	64Mb pSRAM + 4Mb Nor Flash	3000
SF32LB561UBN26	QFN68L: 7×7×0.75mm-0.35	32Mb pSRAM + 4Mb Nor Flash	3000
SF32LB560UNN26	QFN68L: 7×7×0.75mm-0.35	4Mb Nor Flash	3000

相关资源

- 《AN5601-SF32LB56XU-硬件设计指南》
- 《AN5602-SF32LB56XV-硬件设计指南》
- 《AN5603-SF32LB56XU-HDK 使用指南（A 版）》
- 《AN5604-SF32LB56x-EVB 使用指南》
- 《AN5606-SF32LB56XU-HDK 使用指南（B 版）》
- 《AN-SF01-付款码乘车码对接》
- 《AN-SF02-SDK 环境安装指南》
- 《AN-SF03-低功耗开发指南》

地址：江苏自贸区南京片区浦滨路 320 号科创总部大厦 B 座 419-13　200131　邮箱：sales@sifli.com