



SF32LB55x

芯片技术规格书

V1.7.2

文档编号: DS5501-SF32LB55x-CN

思澈科技（南京）有限公司
<http://www.sifli.com>
版权 ©2025

更新历史

文档状态说明

文档状态	版本范围	说明
草稿	0.0.0 ~0.9.9	初稿，非正式发布，信息为初步数据，反映量产前产品的规格与性能，不能保证准确性，随时可能更改，思澈科技将不会主动通知
发布版	1.0.0 ~1.9.9	正式发布，信息有可能还会小范围修正，以便更准确地反映量产产品的规格与性能；如有更改，思澈科技将不会主动通知

本文档更新历史

日期	版本	发布说明
2025-04-01	1.7.2	增加了 I/O 特性的表格
2025-03-10	1.7.1	修正了 SPI 所能支持的数据位宽的描述
2024-11-06	1.7	更新外设 I2S 的描述
2024-08-08	1.6	更新产品系列表中 SF32LB557 信息，反映 VD3A6 配置，删除过时信息
2024-06-20	1.5	增加 SF32LB557VD3A6 WBBGA169 管脚布局
2024-05-16	1.4	更新 GPADC 和温度传感器信息
2024-05-07	1.3	增加订购信息
2024-03-07	1.2	增加 IO 驱动能力相关信息
2024-02-27	1.1	调整表格格式
2024-01-25	1.0	更新 Tstorage 温度范围
2022-11-18	0.9	添加 PSA Certified Level 1 认证
2022-09-21	0.8	修正个别细节
2022-09-05	0.7	更新功耗数据
2022-08-26	0.6	优化排版
2022-08-15	0.5	修正细节
2022-05-23	0.4	修正部分文字细节
2021-11-24	0.3	补充 GPU 信息
2021-06-30	0.2	修正少量文字
2021-06-24	0.1	初稿

产品概述

SF32LB55x 是一系列用于超低功耗人工智能物联网 (AIoT) 场景下的高集成度、高性能的系统级 (SoC) MCU 芯片。芯片创新地采用了基于 Arm Cortex-M33 STAR-MC1 处理器的大小核架构, 同时集成了业界最高性能 2.5D 图形引擎, 人工智能神经网络加速器, 以及低功耗蓝牙 5.2, 可广泛用于腕带类可穿戴电子设备、智能移动终端、智能家居等各种应用场景。

芯片中的大核性能处理器工作频率最高可达 240MHz, 提供 360DMIPS 算力, EEMBC CoreMark 跑分高达 965; 小核低功耗处理器最高可工作在 48MHz, 在作为低功耗传感器中心 (Sensor Hub) 控制多种传感器的同时兼顾运行蓝牙协议栈, 从而能够很好地兼顾人机交互时的高计算性能与长时间待机时的超低运行与休眠功耗之间的平衡关系。

本芯片集成了世界水平的低功耗蓝牙 5.2 收发机, 支持 125kbps/500kbps/1Mbps/2Mbps 模式, 最高发射功率 10dBm, 接收功耗低至 2mA@3.3V, 接收灵敏度达到 -100dBm (1Mbps), 链路预算高达 110dB。

芯片提供了丰富的内部及外部存储资源。性能处理器拥有多达 1152KB 的高性能 SRAM, 低功耗处理器拥有 256KB SRAM 和 384KB ROM。全封装芯片总共有 4 个 QSPI 存储接口, 独立的 OPI-PSRAM 接口, 以及 SD/eMMC 接口, 两个处理器均可按照需要进行访问。

芯片提供了全方位的显示屏接口, 其中包括 8080、SPI/Dual-SPI/Quad-SPI、DPI、JDI 反射屏接口, 以及 MIPI-DSI+QSPI 双接口常亮屏, 最高可支持 1024×1024、aRGB8888、最高 60fps。

功能框图



图 0-1: 功能框图

产品特性

CPU 与内存

- 性能处理器/大核 (HCPU)
 - 处理器: Arm Cortex-M33 STAR-MC1
 - 主频: 最高 240MHz, 可调节
 - 最高 360DMIPS, 965EEMBC CoreMark
 - I/D-TCM: 64KB (专用) + 128KB (与 SRAM 共享)
 - I/D-Cache: 32KB(2-way) + 16KB(4-way)
 - SRAM: 1088KB (64KB Retention SRAM)
 - ROM: 64KB
 - CoreMark 功耗效率 (均为 3.3V 下):
 - 34uA/MHz
 - 8.46uA/CoreMark
 - 118CoreMark/mA
 - 单精度浮点运算单元 (FPU)
 - 内存保护单元 (MPU)
 - 神经网络计算协处理器 (NN Co-Processor)
- 超低功耗处理器/小核 (LCPU)
 - 处理器: Arm Cortex-M33 STAR-MC1
 - 主频: 最高 48MHz, 可调节
 - 最高 72DMIPS, 193 EEMBC CoreMark
 - I/D-TCM: 16KB (专用) + 16KB (专用)
 - I/D-Cache: 16KB(2-way) + 8KB(4-way)
 - SRAM: 224KB (全部为 Retention SRAM)
 - ROM: 384KB
 - CoreMark 功耗效率 (均为 3.3V 下):
 - 11.8uA/MHz
 - 2.93uA/CoreMark
 - 341CoreMark/mA
 - 单精度浮点运算单元 (FPU)
 - 内存保护单元 (MPU)
 - 神经网络计算协处理器 (NN Co-Processor)

无线连接

- 蓝牙 5.2: 125Kbps, 500Kbps, 1Mbps, 2Mbps
- 1Mbps 模式下灵敏度: -100dBm
- 最大发射功率: 10dBm
- 单天线输出, 片内 Balun, 无须片外匹配
- 接收机峰值功耗: 2.0mA@3.3V

- 发射机功耗: 2.6mA@3.3V (0dBm 发射功率)
- 平均功耗 (3.3V, 200ms 间隔, 0dBm 发射功率)
 - 广播状态: 43.0uA
 - 连接状态: 30.1uA

2.5D 图形引擎—ePicasso™

- 四图层 alpha 混叠 + 纯色背景图架构: 1 个功能层, 3 个通用层, 1 个背景层
- 功能层: 最大解析度 640×640, 支持硬件加速的旋转、缩放和镜像
- 通用层: 最大解析度 1024×1024
- 支持 eZip™ 加速器级联, 可无缝实现图形解压缩、加载、缩放与叠加的联动
- 图形处理吞吐率最高可达 1.5cycle/pixel
- 支持 RGB565、RGB888、aRGB565、aRGB888, 多图层 alpha 混叠模式

无损解压缩加速器—eZip™

- 自有格式无损图形压缩格式的硬件解码, 压缩率与 PNG 相当
- 支持通用数据解压缩, 压缩率与 gzip 相当
- 独立 DMA 模式, 可自主实现内存到内存的图片解压缩
- 与 ePicasso™ 联动模式, 无须缓存解压缩图片即可完成混叠

高性能域 LCD 控制器

- 支持 MIPI-DBI: 8080, SPI, Dual-SPI, Quad-SPI
- 支持 MIPI-DPI
- 支持 MIPI-DSI: 最多两条数据通道, 每条通道支持最高 240MHz/480Mbps
- 支持 JDI 串行和并行反射屏接口
- 支持两图层叠加, 外加纯色背景图层
- TurboPixel™ 帧缓存压缩与解压缩: 由 extDMA 实现硬件帧缓存压缩, LCD 控制器实现硬件解压缩, 大幅度降低带宽需求, 并节省输出帧缓存占用空间, 实现有限带宽下的高帧率输出
- 支持 RGB565、RGB888、aRGB565、aRGB888, 及 alpha 混叠模式

低功耗域 LCD 控制器

- 独立低功耗域 SPI、Dual-SPI、Quad-SPI 接口
- 支持两图层叠加，外加纯色背景图层
- 支持 RGB565、RGB888、aRGB565、aRGB888，及 alpha 混叠模式
- 配合超低功耗处理器/小核工作，无须高性能处理器/大核参与

神经网络矩阵加速器

- 面向 TinyML 场景，高效率完成矩阵卷积运算，可与 Arm CMSIS-NN 无缝对接，极大方便神经网络框架的移植
- 独立总线，全流水线加速，最大化数据吞吐率
- 最高处理能力达到 1.92GOPS
- 功耗效率高达 5.73TOPS/W

DMA

- 通用 DMA：支持芯片内部存储与外设间的高效率数据搬运
- ExtDMA：用于与外部存储之间的高效率数据搬运，支持 TurboPixel™ 图形帧压缩，与 LCD 控制器的解压缩功能形成联动

安全

- AES 加速器
 - 对称加解密支持 AES128、AES192、AES256，SM4 算法
 - 加解密模式包括 ECB、CTR、CBC
 - AES 以 DMA 方式，对源数据处理后，写入目标地址
 - 支持外部 Key，也支持 Root Key
 - 支持 NOR Flash 加密数据读取时实时解密
- CRC：支持使用 7/8/16/32 位的完全可编程多项式计算 CRC，数据输入支持 8/16/32 位宽度，可由 CPU 或 DMA 驱动进行数据的 CRC 计算
- 真随机数发生器（TRNG）
- 支持安全启动（Secure Boot）
- 内置 1024-bit eFuse，可存储信任根（Root of Trust）和唯一 ID（UID）
- PSA Certified Level 1 认证

存储接口

- 4×QSPI
 - 可根据需要挂载 QSPI-NOR Flash、QSPI-NAND Flash，或 QSPI-PSRAM，最高频率 96MHz
 - QSPI1 专门用于 SiP 合封
 - QSPI1/QSPI2 可扩展为双 QSPI-NOR Flash 接口，实现 8 数据线接口吞吐率
 - QSPI1/QSPI2/QSPI4 读取 NOR Flash 时支持实时（on-the-fly）解密，解密模式支持 AES128-CTR 或者 AES256-CTR
 - QSPI4 专门用于小核低功耗处理器的资源扩展，特定应用场景下可以根据需要挂载 NOR Flash 或 QSPI-PSRAM
- 1×OPI-PSRAM 接口，支持 DDR，可配置为 8-bit PSRAM 接口，或由两组 8-bit PSRAM 拼接组成为一组 16-bit PSRAM 接口
- 2×SD/SDIO/eMMC（8b、4b 各一），支持 SD3.0、SDIO3.0，以及 eMMC4.51

定时器

- 5× 通用 16b 定时器 GPTIM
- 4× 基本 32b 定时器 BTIM
- 3× 低功耗 24b 定时器 LPTIM
- 1× 实时定时器 RTC
- 2× 看门狗 24b 定时器 WDT
- 1× 独立看门狗定时器 IWDG

模拟外设

- 1×10-bit 通用 SAR ADC，共 8 通道
- 1×16-bit Sigma-Delta ADC，共 5 通道
- 1× 片上温度传感器
- 2× 低功耗电压比较器

连接外设

- 最多 119 个 GPIO
- 5×UART
- 6×I²C
- 4×SPI
- 2×I²S
- 2×PDM
- 1×USB2.0 FS Host/Device
- 外设任务控制器（PTC）

电源管理

- 输入电压: 1.7-3.6V
- 内置两路高效率 Buck 及低功耗 LDO
- RTC 工作下的休眠功耗: 600nA
- 管脚唤醒配置时的休眠功耗: 280nA

其它

- 工作温度: -40 到 85°C
- 多种封装可选, 提供丰富的高性能域 (HCPU) 和

低功耗域 (LCPU) 的 GPIO 和接口

- BGA169, 119 (HCPU71+LCPU48) 个 GPIO,
7mm × 7mm × 0.94mm, 0.5mm 间距
- BGA145, 95 (HCPU55+LCPU40) 个 GPIO,
7mm × 7mm × 0.94mm, 0.5mm 间距
- BGA125, 84 (HCPU52+LCPU32) 个 GPIO,
7mm × 7mm × 0.94mm, 0.5mm 间距
- QFN68L, 49 (HCPU28+LCPU21) 个 GPIO,
7mm × 7mm × 0.75mm, 0.35mm 间距

应用场景

智能穿戴

- 智能手表
- 智能手环
- 可穿戴医疗器材
- 健身器材

工业

- 高性价比显示方案
- 图形化人机交互设备
- 工业传感器控制中心
- 工业设备监测

- 工业仪器仪表

家庭自动化

- 智能照明
- 中小型智能家电
- 智能门锁
- 语音与手势遥控器
- 平板电脑、手机手写笔

通用

- 低功耗传感器中心
- 蓝牙 mesh

产品系列

表 0-1: SF32LB55x 产品系列表

	功能	SF32LB551	SF32LB553	SF32LB555	SF32LB557
封装	类型	QFN68L	BGA125	BGA145	BGA169
	大小 (mm×mm×mm)	7×7×0.75	7×7×0.94	7×7×0.94	7×7×0.94
	管脚间距 (mm)	0.35	0.5	0.5	0.5
性能处理器 (HCPU)	处理器	Cortex-M33 STAR-MC1@240MHz			
	缓存	32KB-I\$, 16KB-D\$			
	TCM	64KB ITCM + 128KB DTCM ¹			
	SRAM	1088KB(含 64KB Retention SRAM)			
	ROM	64KB			
	SiP PSRAM	4MB OPI(DDR)	4MB OPI(DDR)	4/8MB OPI(DDR)	16MB OPI(DDR)
	SiP Flash	4MB QSPI	4MB QSPI	4MB QSPI	1MB QSPI
	片外 Flash	QSPI	QSPI	QSPI	QSPI
	SDIO/eMMC	-	-	SD/eMMC ×1	SD/eMMC ×2
低功耗处理器 (LCPU)	处理器	Cortex-M33 STAR-MC1@48MHz			
	缓存	16KB-I\$, 8KB-D\$			
	TCM	16KB ITCM + 16KB DTCM			
	RAM	224KB (全部为 Retention SRAM)			
	ROM	384KB			
	SiP PSRAM	-	-	-	2MB QPI
	片外 Flash	-	-	QSPI(复用)	-
图形	图形加速	ePicasso™ 高性能 2.5D 图形加速引擎 @240MHz			
	图形无损压缩	eZip™ 解压缩引擎 @240MHz			
	显示接口	SPI/DSPI/QSPI/8080		SPI/DSPI/QSPI/8080/MIPI-DSI/DPI/JDI	
	常亮屏接口	-		QSPI(复用)	DSPI(专用)
电源管理	Buck1	Y			
	Buck2	-	Y		
低功耗蓝牙	标准	BT5.2			
	灵敏度	-100dBm			
	接收机功耗 @3.3V	2.0mA			
	最大发射功率	10dBm			
定时器 (HCPU+LCPU)	通用 16b 定时器 GPTIM	2+3	2+3	2+3	2+3
	基本 32b 定时器 BTIM	2+2	2+2	2+2	2+2
	低功耗 24b 定时器 LP TIM	1+2	1+2	1+2	1+2
	实时定时器 RTC	1	1	1	1
	看门狗 24b 定时器 WDT	1+1	1+1	1+1	1+1
	独立看门狗定时器 IWDT	1	1	1	1
模拟外设 (HCPU+LCPU)	SAR ADC (8-ch)	0+1	0+1	0+1	0+1
	Sigma-Delta ADC (5-ch)	0+0	0+1	0+1	0+1
	温度传感器	0+1	0+1	0+1	0+1
	LP COMP	0+2	0+2	0+2	0+2
外设接口 (HCPU+LCPU)	GPIO	28+21	52+32	55+40	71+42
	UART	1+1	1+2	2+3	2+3
	I2C	1+2	3+2	3+2	3+3
	SPI	1+1	1+2	2+2	2+2
	I2S	1+0	1+0	1+0	2+0
	PDM	1+0	1+0	1+0	2+0
	SDIO/eMMC	1+0	1+0	1+0	2+0
	USB 2.0 FS	1+0	1+0	1+0	1+0

¹ ITCM 为专用 SRAM, DTCM 与系统 SRAM 共享

目录

更新历史	i	2.2.2.4 JDI 反射屏	15
产品概述	ii	2.3 eZip™ 无损压缩解码器	15
功能框图	ii	2.4 神经网络加速器	16
产品特性	iii	2.4.1 神经网络矩阵卷积加速器 (NNACC)	16
应用场景	vi	2.4.2 神经网络协处理器 (NN Co-Processor)	16
产品系列	vii	3 外设	17
1 芯片总览	1	3.1 低功耗蓝牙 5.2	17
1.1 系统架构	1	3.1.1 射频和基带	17
1.2 Cortex-M33 STAR-MC1 “星辰” 处理器	1	3.1.2 控制器	17
1.3 性能处理器 (大核) 系统 (HPSYS)	2	3.2 模拟外设	17
1.3.1 总线架构	2	3.2.1 10 比特模/数转换器	17
1.3.2 时钟架构	3	3.2.2 16 比特模/数转换器	18
1.3.3 存储器类型	3	3.2.3 温度传感器	18
1.3.3.1 Cache	3	3.2.4 电压比较器	19
1.3.3.2 TCM	4	3.3 DMA	19
1.3.3.3 SRAM	4	3.3.1 ExtDMA	19
1.3.3.4 片外 RAM	4	3.3.2 DMAC	20
1.3.3.5 片外 Flash	4	3.4 数字接口	20
1.3.4 地址映射	4	3.4.1 通用输入/输出接口 (GPIO)	20
1.3.5 中断列表	6	3.4.2 通用异步收发器 (UART)	20
1.4 低功耗处理器 (小核) 系统 (LPSYS)	8	3.4.3 I2C	21
1.4.1 总线架构	8	3.4.4 PDM	22
1.4.2 时钟架构	9	3.4.5 I2S	22
1.4.3 存储器类型	10	3.4.6 串行外设接口 (SPI)	22
1.4.3.1 Cache	10	3.4.7 外设任务控制器 (PTC)	25
1.4.3.2 TCM	10	3.4.8 USB2.0 FS	25
1.4.3.3 SRAM	10	3.5 定时器	25
1.4.3.4 片外 Flash	10	3.5.1 通用定时器	26
1.4.4 地址映射	10	3.5.2 基本定时器	26
1.4.5 中断列表	12	3.5.3 低功耗定时器	27
1.5 电源管理	13	3.5.4 看门狗	28
2 高性能专用计算	14	3.6 加密校验	28
2.1 ePicasso™ 高性能 2.5D 图形引擎	14	3.6.1 AES 引擎	28
2.1.1 图层叠加	14	3.6.2 CRC	28
2.1.2 图形缩放	14	3.6.3 真随机数发生器 (TRNG)	29
2.1.3 图形旋转	14	3.7 存储接口	29
2.2 LCD 控制器	14	3.7.1 QSPI 接口	29
2.2.1 TurboPixel™ 帧缓存压缩	14	3.7.2 OPI-PSRAM 接口	30
2.2.2 显示接口	15	3.7.3 SD/SDIO/eMMC	30
2.2.2.1 MIPI-DBI	15	3.8 各种外设接口速率汇总	31
2.2.2.2 MIPI-DPI	15	4 电气特性	32
2.2.2.3 MIPI-DSI	15	4.1 基本电气特性	32
		4.2 可靠性	33

4.3	功耗特性	34
4.3.1	关机功耗	34
4.3.2	处理器功耗	34
4.3.3	BLE 功耗	35
4.3.4	BLE ADV 场景	35
4.3.5	BLE 连接场景	35
4.4	蓝牙射频	36
4.4.1	发射机性能	36
4.4.2	接收机性能	37
4.5	IO 驱动能力	38
5	封装与硬件	39
5.1	管脚布局与封装信息	39
5.1.1	SF32LB557 (BGA169)	39
5.1.2	SF32LB555 (BGA145)	41
5.1.3	SF32LB553 (BGA125)	43
5.1.4	SF32LB551 (QFN68L)	45
5.2	管脚描述	47
5.2.1	大核域 GPIO (PA) 列表	48
5.2.2	小核域 GPIO (PB) 列表	59
5.2.3	专用管脚 (电源、射频、模拟、数字) 列表	64
5.3	订购信息	66
	相关资源	67

插图

0-1 功能框图	ii
1-1 性能处理器（大核）系统总线架构	2
1-2 HPSYS 时钟架构	3
1-3 低功耗处理器（小核）系统总线架构	9
1-4 LPSYS 时钟架构	9
1-5 电源管理架构	13
3-1 通用异步收发器	21
3-2 SSP 格式单次收发时序	23
3-3 SSP 格式连续收发时序	23
3-4 SPI 格式单次收发时序	23
3-5 SPI 格式连续收发时序	24
3-6 SPH=0 时的 SPI 时序	24
3-7 SPH=1 时的 SPI 时序	24
3-8 Microwire 格式的单次收发时序	24
3-9 Microwire 格式的多次收发时序	25
3-10 QSPI 控制器框图	29
3-11 寄存器模式单个和多个命令时序的序列	30
5-1 SF32LB557（BGA169）管脚布局（俯视 图）	39
5-2 SF32LB557（BGA169）封装信息	40
5-3 SF32LB555（BGA145）管脚布局（俯视 图）	41
5-4 SF32LB555（BGA145）封装信息	42
5-5 SF32LB553（BGA125）管脚布局（俯视 图）	43
5-6 SF32LB553（BGA125）封装信息	44
5-7 SF32LB551（QFN68L）管脚布局（俯视 图）	45
5-8 SF32LB551（QFN68L）封装信息	46

表格

0-1 SF32LB55x 产品系列表	vii	4-7 处理器功耗 (SF32LB555)	34
1-1 HPSYS 地址映射	4	4-8 BLE 功耗	35
1-2 HCPU 中断列表	6	4-9 BLE ADV 场景	35
1-3 LPSYS 地址映射	10	4-10 BLE 连接场景	35
1-4 LCPU 中断列表	12	4-11 发射机性能—1Mbps 模式	36
3-1 10-bit GPADC 电气特性	18	4-12 发射机性能—2Mbps 模式	36
3-2 常用接口速率	31	4-13 接收机性能—125Kbps 模式	37
4-1 运行条件	32	4-14 接收机性能—500Kbps 模式	37
4-2 绝对最大值	32	4-15 接收机性能—1Mbps 模式	38
4-3 I/O 特性 @3.3V	32	4-16 接收机性能—2Mbps 模式	38
4-4 可靠性测试	33	4-17 IO 驱动能力	38
4-5 关机功耗	34	5-1 管脚类型	47
4-6 处理器功耗 (SF32LB551)	34	5-2 数字 GPIO 上复用的模拟 IP 功能	47
		5-3 大核域 GPIO (PA) 管脚列表	48
		5-4 小核域 GPIO (PB) 管脚列表	59
		5-5 专用管脚 (电源、射频、模拟、数字) 列表	64
		5-6 订购信息	66

1 芯片总览

1.1 系统架构

SF32LB55x 是一系列面向超低功耗人工智能物联网 (AIoT) 场景下的高集成度、高性价比的系统级 (SoC) MCU 芯片。芯片采用了大小核架构, 两颗处理器均采用 Arm Cortex-M33 STAR-MC1 处理器, 其中:

- 性能处理器/大核 (HCPU): 最高主频 240MHz, 配备 32KB 指令缓存 (I-Cache) 和 16KB 数据缓存 (D-Cache), 64KB ITCM, 128KB DTCM, 1088KB 同频 SRAM (其中 128KB 与 D-Cache 共享, 并有 64KB 为 Retention RAM), 以及 384KB ROM; 作为系统主控, 能够高效访问片内和片外存储, 主要用于系统控制、人机交互、高性能计算等。
- 超低功耗处理器/小核 (LCPU): 最高主频 48MHz, 配备 16KB 指令缓存 (I-Cache) 和 8KB 数据缓存 (D-Cache), 16KB ITCM, 16KB DTCM, 224KB 低功耗 SRAM (全部为 Retention RAM), 以及 384KB 低功耗 ROM; 主要作为系统的超低功耗传感器中心 (Sensor Hub) 和低功耗蓝牙连接的控制器, 满足超低功耗场景下的各种数据采集、处理、传输与控制需求。

1.2 Cortex-M33 STAR-MC1 “星辰” 处理器

Cortex-M33 STAR-MC1 处理器是安谋中国 (Arm China) 推出的“星辰”系列产品的第一款处理器, 该处理器继承了 Cortex-M33 的主要特点, 支持现有的 Arm v8-M 架构的全部功能, 具有有序 (in order) 三级流水线, 可显著降低系统功耗, 具有部分双发射 16 位指令能力, 并进一步改进了协处理器接口, 增加了对缓存 (Cache) 的支持。

Cortex-M33 STAR-MC1 性能达到 1.5DMIPS/MHz 和 4.02Coremark/MHz, 与上一代同档位 Arm 处理器相比, 在相同主频下, Cortex-M33 STAR-MC1 的性能提升 20%。

Cortex-M33 STAR-MC1 提供了协处理器 (Coprocessor) 接口, 以便根据不同场景需求进一步提高定制计算的能力。通过 MCR (Move from Coprocessor to Register) 和 MRC (Move from Register to Coprocessor) 指令, 可以在 Cortex-M33 STAR-MC1 和协处理器之间转移寄存器数据和计算结果数据, 非常适合所需数据量不大、计算复杂但相对碎片化、延迟较小的运算。在协处理器计算的同时, Cortex-M33 STAR-MC1 处理器仍然可以并行执行其它指令, 从而明显提高执行效率。

此外, 该处理器还支持数字信号处理 (DSP) 指令集和浮点数运算单元 (FPU)。

Cortex-M33 STAR-MC1 引入了紧耦合内存 (TCM) 和缓存 (Cache) 技术, 增强了各种不同特点的内置和外置存储系统的使用灵活性, 确保在各种不同场景下处理器响应的实时性和计算效率。

1.3 性能处理器（大核）系统（HPSYS）

1.3.1 总线架构

HPSYS 内部提供了基于 AHB 协议的总线矩阵，支持多个主设备并行访问多个从设备地址空间。如图 1-1 所示，总线主设备位于上侧，从设备地址空间位于右侧，交叉处的黑色圆点代表总线连通。

HCPU 能够访问 HPSYS 的所有地址空间，并能通过 HP2LP 跨核访问 LPSYS 的所有地址空间。

DMAC1 能够访问除 HPSYS_ITCM 和 Retention RAM 以外 HPSYS 的所有地址空间，并能通过 HP2LP 跨核访问除 LPSYS_DTCM 以外 LPSYS 的所有地址空间。

LPSYS 的部分主设备 (LCPU 与 DMAC2) 能够通过 LP2HP 跨核访问 QSPI1~3 的地址空间，HPSYS_RAM0~5 的地址空间，以及所有 HPSYS_APB 外设。

HPSYS_ITCM 和 Retention RAM 地址空间仅能由 HCPU 访问，未列在图中。DTCM 与 HPSYS_RAM0 共享 128KB 地址空间，可由 HCPU 及其它主设备访问。

多个主设备同时访问同一个从设备地址空间时，基于轮询仲裁原则决定访问次序。图中边框不相连的多个主设备同时访问不同从设备地址空间时，互相不受影响。边框相连的两个主设备同时发起访问时，LCDC1 优先级固定高于 AES，其它主设备基于轮询仲裁原则决定访问次序。

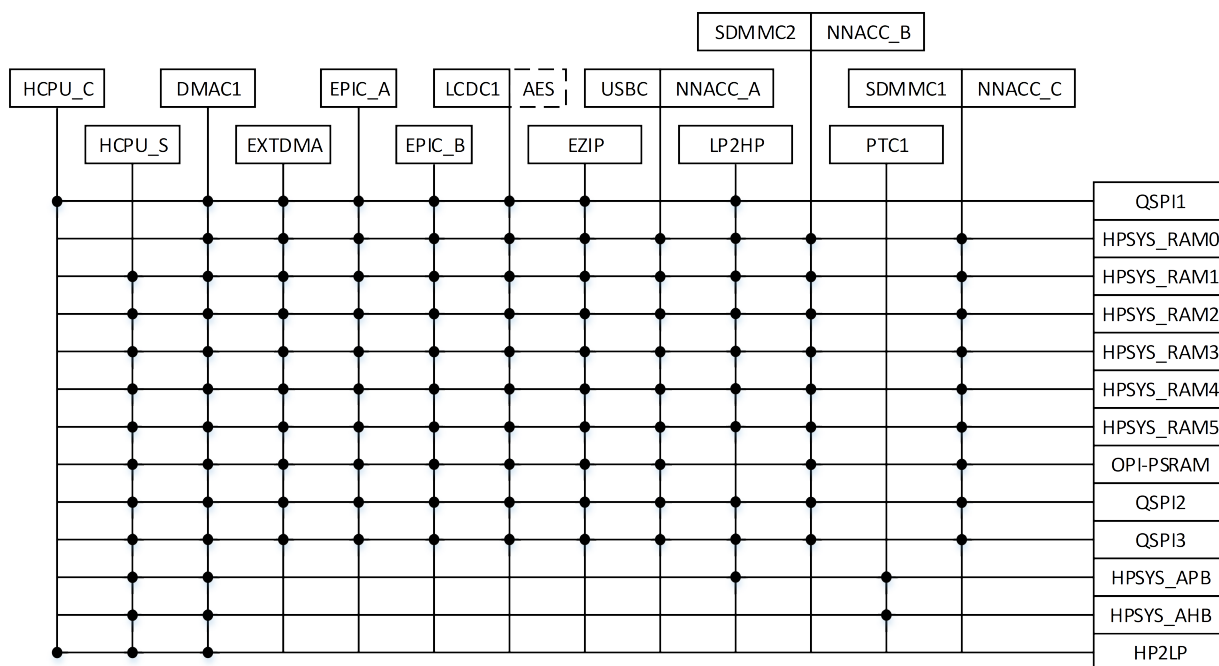


图 1-1: 性能处理器（大核）系统总线架构

1.3.2 时钟架构

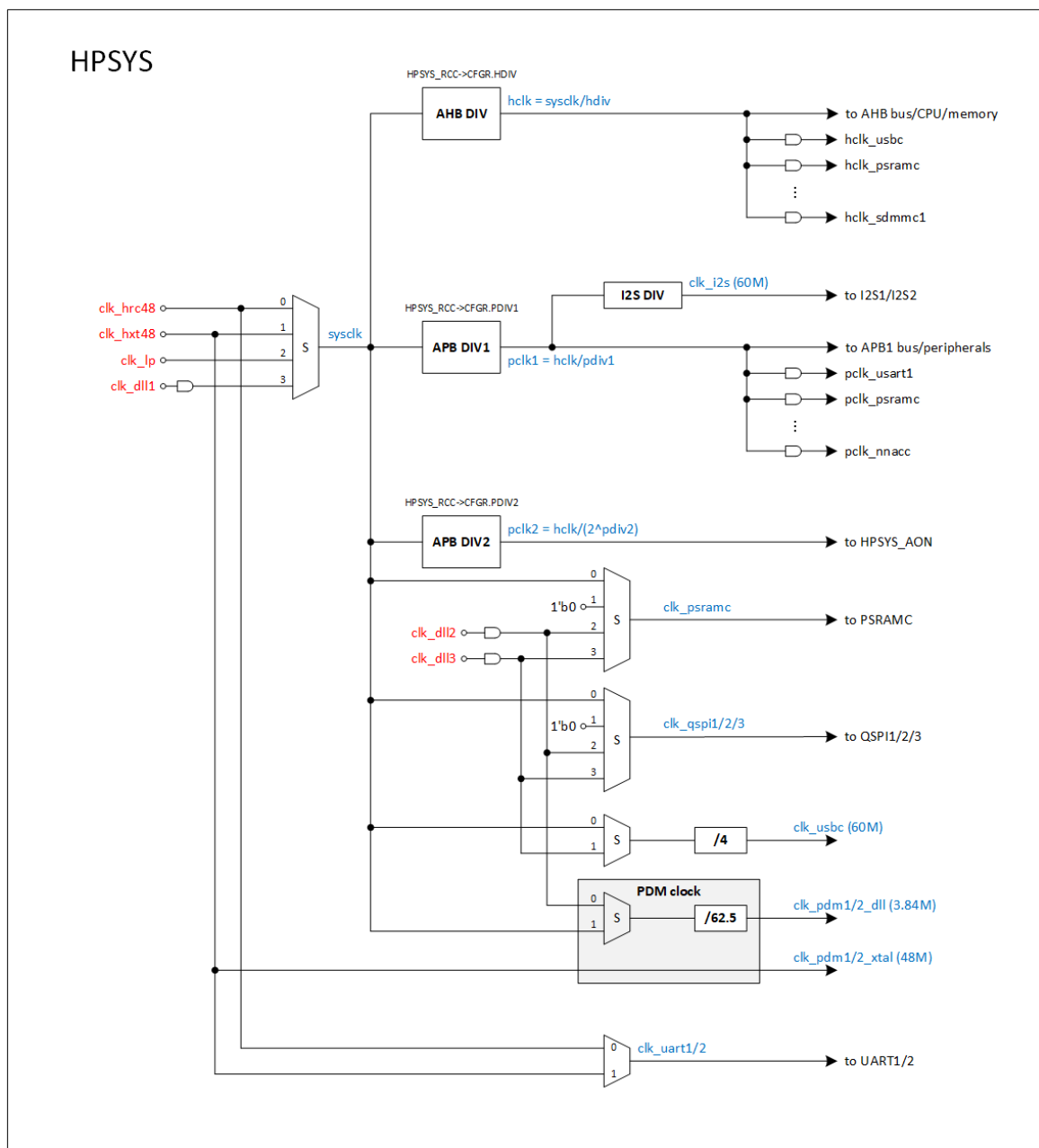


图 1-2: HPSYS 时钟架构

1.3.3 存储器类型

1.3.3.1 Cache

HCPU 配置有 32KB 2-way I-Cache（一级指令缓存）和 16KB 4-way D-Cache（一级数据缓存），可大幅提升 XIP 时 CPU 执行效率。软件需合理配置 MPU（Memory Protection Unit）设置 cache 地址段和非 cache 地址段，兼顾效率和易用性。

1.3.3.2 TCM

HCPU 配置有 64KB zero-wait-cycle I-TCM，地址空间为 0x0001_0000 - 0x0001_FFFF。该 TCM memory 为 HCPU 独享，其它 AHB master 无法访问，可用于放置对实时性（或者时延确定性）要求较高的代码和数据。

HCPU 同时配置有 128KB zero-wait-cycle D-TCM，地址空间为 0x2000_0000 - 0x2001_FFFF。该 TCM memory 挂在总线上，也可以被其他 AHB master 访问。

1.3.3.3 SRAM

HPSYS 总线上共有 1088KB SRAM，其中包括：

- 1024KB zero-wait-cycle SRAM，地址空间为 0x2000_0000 - 0x200F_FFFF（前 128KB 与 DTCM 共享），所有 AHB master 均可访问。最高频率为 240MHz，可最大限度发挥 CPU 性能。
- 64KB Retention SRAM，地址空间为 0x0002_0000 - 0x0002_FFFF，HCPU 可访问，最高频率为 120MHz。

1.3.3.4 片外 RAM

HPSYS 支持外挂 OPI DDR pSRAM，地址空间为 0x6000_0000 - 0x63FF_FFFF，实际可访问地址由外挂颗粒容量决定。接口最高频率为 DDR 120MHz，数据位宽为 8-bit。

1.3.3.5 片外 Flash

HPSYS 支持外挂多颗 NOR/NAND FLASH，其中：

- 0x1000_0000 - 0x11FF_FFFF 地址段用于访问 SIP FLASH，接口最高频率为 96MHz
- 0x6400_0000 - 0x67FF_FFFF 地址段可挂 FLASH2，推荐使用频率为 60MHz
- 0x6800_0000 - 0x6FFF_FFFF 地址段可挂 FLASH3，推荐使用频率为 60MHz

1.3.4 地址映射

表 1-1: HPSYS 地址映射

Category	Memory/IP	Address Space	HCPU Address Space		LCPU Address Space	
			Starting Address	Ending Address	Starting Address	Ending Address
HPSYS_ITCM	ROM	64KB	0x0000_0000	0x0000_FFFF		
	RAM	64KB	0x0001_0000	0x0001_FFFF		
Retention RAM		64KB	0x0002_0000	0x0002_FFFF		
XIP Memory	QSPI1 Memory	32MB	0x1000_0000	0x11FF_FFFF	0x1000_0000	0x11FF_FFFF
HPSYS_RAM (1024KB) 0x2000_0000 0x200F_FFFF	HPSYS_RAM0	128KB	0x2000_0000	0x2001_FFFF	0x2A00_0000	0x2A01_FFFF
	HPSYS_RAM1	128KB	0x2002_0000	0x2003_FFFF	0x2A02_0000	0x2A03_FFFF
	HPSYS_RAM2	128KB	0x2004_0000	0x2005_FFFF	0x2A04_0000	0x2A05_FFFF
	HPSYS_RAM3	128KB	0x2006_0000	0x2007_FFFF	0x2A06_0000	0x2A07_FFFF
	HPSYS_RAM4	256KB	0x2008_0000	0x200B_FFFF	0x2A08_0000	0x2A0B_FFFF
	HPSYS_RAM5	256KB	0x200C_0000	0x200F_FFFF	0x2A0C_0000	0x2A0F_FFFF

续表下页...

表 1-1: HPSYS 地址映射 (续)

Category	Memory/IP	Address Space	HCPU Address Space		LCPU Address Space	
			Starting Address	Ending Address	Starting Address	Ending Address
HPSYS_APB1 (192KB) 0x4000_0000 0x4002_FFFF	RCC1	4KB	0x4000_0000	0x4000_0FFF	0x4000_0000	0x4000_0FFF
	DMAC1	4KB	0x4000_1000	0x4000_1FFF	0x4000_1000	0x4000_1FFF
	MAILBOX1	4KB	0x4000_2000	0x4000_2FFF	0x4000_2000	0x4000_2FFF
	PINMUX1	4KB	0x4000_3000	0x4000_3FFF	0x4000_3000	0x4000_3FFF
	UART1	4KB	0x4000_4000	0x4000_4FFF	0x4000_4000	0x4000_4FFF
	UART2	4KB	0x4000_5000	0x4000_5FFF	0x4000_5000	0x4000_5FFF
	EZIP	4KB	0x4000_6000	0x4000_6FFF	0x4000_6000	0x4000_6FFF
	EPIC	4KB	0x4000_7000	0x4000_7FFF	0x4000_7000	0x4000_7FFF
	LCDC1	4KB	0x4000_8000	0x4000_8FFF	0x4000_8000	0x4000_8FFF
	I2S1	4KB	0x4000_9000	0x4000_9FFF	0x4000_9000	0x4000_9FFF
	I2S2	4KB	0x4000_A000	0x4000_AFFF	0x4000_A000	0x4000_AFFF
	SYSCFG1	4KB	0x4000_B000	0x4000_BFFF	0x4000_B000	0x4000_BFFF
	EFUSEC	4KB	0x4000_C000	0x4000_CFFF	0x4000_C000	0x4000_CFFF
	AES	4KB	0x4000_D000	0x4000_DFFF	0x4000_D000	0x4000_DFFF
	CRC	4KB	0x4000_E000	0x4000_EFFF	0x4000_E000	0x4000_EFFF
	TRNG	4KB	0x4000_F000	0x4000_FFFF	0x4000_F000	0x4000_FFFF
	GPTIM1	4KB	0x4001_0000	0x4001_0FFF	0x4001_0000	0x4001_0FFF
	GPTIM2	4KB	0x4001_1000	0x4001_1FFF	0x4001_1000	0x4001_1FFF
	BTIM1	4KB	0x4001_2000	0x4001_2FFF	0x4001_2000	0x4001_2FFF
	BTIM2	4KB	0x4001_3000	0x4001_3FFF	0x4001_3000	0x4001_3FFF
	WDT1	4KB	0x4001_4000	0x4001_4FFF	0x4001_4000	0x4001_4FFF
	SPI1	4KB	0x4001_5000	0x4001_5FFF	0x4001_5000	0x4001_5FFF
	SPI2	4KB	0x4001_6000	0x4001_6FFF	0x4001_6000	0x4001_6FFF
	EXTDMA	4KB	0x4001_7000	0x4001_7FFF	0x4001_7000	0x4001_7FFF
	PSRAMC	4KB	0x4001_8000	0x4001_8FFF	0x4001_8000	0x4001_8FFF
	NNACC	4KB	0x4001_9000	0x4001_9FFF	0x4001_9000	0x4001_9FFF
	PDM1	4KB	0x4001_A000	0x4001_AFFF	0x4001_A000	0x4001_AFFF
	PDM2	4KB	0x4001_B000	0x4001_BFFF	0x4001_B000	0x4001_BFFF
	I2C1	4KB	0x4001_C000	0x4001_CFFF	0x4001_C000	0x4001_CFFF
	I2C2	4KB	0x4001_D000	0x4001_DFFF	0x4001_D000	0x4001_DFFF
	DSIHOST	4KB	0x4001_E000	0x4001_EFFF	0x4001_E000	0x4001_EFFF
	DSIPHY	4KB	0x4001_F000	0x4001_FFFF	0x4001_F000	0x4001_FFFF
	PTC1	4KB	0x4002_0000	0x4002_0FFF	0x4002_0000	0x4002_0FFF
	BUSMON1	4KB	0x4002_1000	0x4002_1FFF	0x4002_1000	0x4002_1FFF
	I2C3	4KB	0x4002_2000	0x4002_2FFF	0x4002_2000	0x4002_2FFF
	Reserved	54KB	0x4002_3000	0x4002_FFFF	0x4002_3000	0x4002_FFFF
HPSYS_APB2 (64KB) 0x4003_0000 0x4003_FFFF	HPSYS_AON	4KB	0x4003_0000	0x4003_0FFF	0x4003_0000	0x4003_0FFF
	LPTIM1	4KB	0x4003_1000	0x4003_1FFF	0x4003_1000	0x4003_1FFF
	Reserved	4KB	0x4003_2000	0x4003_2FFF	0x4003_2000	0x4003_2FFF
	Reserved	4KB	0x4003_3000	0x4003_3FFF	0x4003_3000	0x4003_3FFF
	Reserved	48KB	0x4003_4000	0x4003_FFFF	0x4003_4000	0x4003_FFFF

续表下页...

表 1-1: HPSYS 地址映射 (续)

Category	Memory/IP	Address Space	HCPU Address Space		LCPU Address Space	
			Starting Address	Ending Address	Starting Address	Ending Address
HPSYS_AHB (256KB) 0x5000_0000 0x5003_FFFF	GPIO1	4KB	0x5000_0000	0x5000_0FFF		
	QSPI1	4KB	0x5000_1000	0x5000_1FFF		
	QSPI2	4KB	0x5000_2000	0x5000_2FFF		
	QSPI3	4KB	0x5000_3000	0x5000_3FFF		
	SDMMC1	4KB	0x5000_4000	0x5000_4FFF		
	SDMMC2	4KB	0x5000_5000	0x5000_5FFF		
	USBC	4KB	0x5000_6000	0x5000_6FFF		
	Reserved	36KB	0x5000_7000	0x5000_FFFF		
	GFX_RAM	64KB	0x5001_0000	0x5001_FFFF		
	Reserved	128KB	0x5002_0000	0x5003_FFFF		
External Memory (256MB)	OPI-PSRAM	64MB	0x6000_0000	0x63FF_FFFF		
	QSPI2 Memory	64MB	0x6400_0000	0x67FF_FFFF	0x6400_0000	0x67FF_FFFF
	QSPI3 Memory	128MB	0x6800_0000	0x6FFF_FFFF	0x6800_0000	0x6FFF_FFFF

1.3.5 中断列表

表 1-2: HCPU 中断列表

IRQ #	IRQ Source
HCPU_NMI	WDT1
HCPU_IRQ[0]	AON1
HCPU_IRQ[1]	LCPU_IRQ[1]
HCPU_IRQ[2]	LCPU_IRQ[2]
HCPU_IRQ[3]	LCPU_IRQ[3]
HCPU_IRQ[4]	LCPU_IRQ[4]
HCPU_IRQ[5]	LCPU_IRQ[5]
HCPU_IRQ[6]	LCPU_IRQ[6]
HCPU_IRQ[7]	LCPU_IRQ[7]
HCPU_IRQ[8]	LCPU_IRQ[8]
HCPU_IRQ[9]	LCPU_IRQ[9]
HCPU_IRQ[10]	LCPU_IRQ[10]
HCPU_IRQ[11]	LCPU_IRQ[11]
HCPU_IRQ[12]	LCPU_IRQ[12]
HCPU_IRQ[13]	LCPU_IRQ[13]
HCPU_IRQ[14]	LCPU_IRQ[14]
HCPU_IRQ[15]	LCPU_IRQ[15]
HCPU_IRQ[16]	LCPU_IRQ[16]
HCPU_IRQ[17]	LCPU_IRQ[17]
HCPU_IRQ[18]	LCPU_IRQ[18]
HCPU_IRQ[19]	LCPU_IRQ[19]
HCPU_IRQ[20]	LCPU_IRQ[20]
HCPU_IRQ[21]	LCPU_IRQ[21]
HCPU_IRQ[22]	LCPU_IRQ[22]
HCPU_IRQ[23]	LCPU_IRQ[23]
HCPU_IRQ[24]	LCPU_IRQ[24]

续表下页...

表 1-2: HCPU 中断列表 (续)

IRQ #	IRQ Source
HCPU_IRQ[25]	LCPU_IRQ[25]
HCPU_IRQ[26]	LCPU_IRQ[26]
HCPU_IRQ[27]	LCPU_IRQ[27]
HCPU_IRQ[28]	LCPU_IRQ[28]
HCPU_IRQ[29]	LCPU_IRQ[29]
HCPU_IRQ[30]	LCPU_IRQ[30]
HCPU_IRQ[31]	LCPU_IRQ[31]
HCPU_IRQ[32]	LCPU_IRQ[32]
HCPU_IRQ[33]	LCPU_IRQ[33]
HCPU_IRQ[34]	LCPU_IRQ[34]
HCPU_IRQ[35]	LCPU_IRQ[35]
HCPU_IRQ[36]	LCPU_IRQ[36]
HCPU_IRQ[37]	LCPU_IRQ[37]
HCPU_IRQ[38]	LCPU_IRQ[38]
HCPU_IRQ[39]	LCPU_IRQ[39]
HCPU_IRQ[40]	LCPU_IRQ[40]
HCPU_IRQ[41]	LCPU_IRQ[41]
HCPU_IRQ[42]	LCPU_IRQ[42]
HCPU_IRQ[43]	LCPU_IRQ[43]
HCPU_IRQ[44]	LCPU_IRQ[44]
HCPU_IRQ[45]	LCPU_IRQ[45]
HCPU_IRQ[46]	LPTIM1
HCPU_IRQ[47]	Reserved
HCPU_IRQ[48]	Reserved
HCPU_IRQ[49]	RTC
HCPU_IRQ[50]	DMAC1_CH1
HCPU_IRQ[51]	DMAC1_CH2
HCPU_IRQ[52]	DMAC1_CH3
HCPU_IRQ[53]	DMAC1_CH4
HCPU_IRQ[54]	DMAC1_CH5
HCPU_IRQ[55]	DMAC1_CH6
HCPU_IRQ[56]	DMAC1_CH7
HCPU_IRQ[57]	DMAC1_CH8
HCPU_IRQ[58]	LCPU2HCPU
HCPU_IRQ[59]	UART1
HCPU_IRQ[60]	SPI1
HCPU_IRQ[61]	I2C1
HCPU_IRQ[62]	EPIC
HCPU_IRQ[63]	LCDC1
HCPU_IRQ[64]	I2S1
HCPU_IRQ[65]	I2S2
HCPU_IRQ[66]	EFUSEC
HCPU_IRQ[67]	AES
HCPU_IRQ[68]	PTC1
HCPU_IRQ[69]	TRNG
HCPU_IRQ[70]	GPTIM1
HCPU_IRQ[71]	GPTIM2
HCPU_IRQ[72]	BTIM1

续表下页...

表 1-2: HCPU 中断列表 (续)

IRQ #	IRQ Source
HCPU_IRQ[73]	BTIM2
HCPU_IRQ[74]	UART2
HCPU_IRQ[75]	SPI2
HCPU_IRQ[76]	I2C2
HCPU_IRQ[77]	EXTDMA
HCPU_IRQ[78]	PSRAMC
HCPU_IRQ[79]	SDMMC1
HCPU_IRQ[80]	SDMMC2
HCPU_IRQ[81]	NNACC
HCPU_IRQ[82]	PDM1
HCPU_IRQ[83]	DSI
HCPU_IRQ[84]	GPIO1
HCPU_IRQ[85]	QSPI1
HCPU_IRQ[86]	QSPI2
HCPU_IRQ[87]	QSPI3
HCPU_IRQ[88]	EZIP
HCPU_IRQ[89]	PDM2
HCPU_IRQ[90]	USBC
HCPU_IRQ[91]	I2C3
HCPU_IRQ[92]	Reserved
HCPU_IRQ[93]	Reserved
HCPU_IRQ[94]	Reserved
HCPU_IRQ[95]	Reserved

1.4 低功耗处理器 (小核) 系统 (LPSYS)

1.4.1 总线架构

LPSYS 内部提供了基于 AHB 协议的总线矩阵, 支持多个主设备并行访问多个从设备地址空间。如图1-3所示, 总线主设备位于上侧, 从设备地址空间位于右侧, 交叉处的黑色圆点代表总线连通。

LPCPU 能够访问 LPSYS 的所有地址空间, 并能通过 LP2HP 跨核访问 QSPI1~3 的地址空间, HPSYS_RAM0~5 的地址空间, 以及所有 HPSYS_APB 外设。

DMAC2 能够访问除 LPSYS_ROM 以外 LPSYS 的所有地址空间, 并能通过 LP2HP 跨核访问 QSPI1~3 的地址空间, HPSYS_RAM0~5 的地址空间, 以及所有 HPSYS_APB 外设。

HPSYS 的部分主设备 (HCPU 与 DMAC1) 能够通过 HP2LP 跨核访问 LPSYS 的所有地址空间。

LPSYS_ITCM 与 LPSYS_DTCM 能够被 LPCPU 和 DMAC2 访问, 也能够被 HPSYS 的部分主设备 (HCPU 与 DMAC1) 跨核访问。

多个主设备同时访问同一个从设备地址空间时, 基于轮询仲裁原则决定访问次序。多个主设备同时访问不同从设备地址空间时, 互相不受影响。

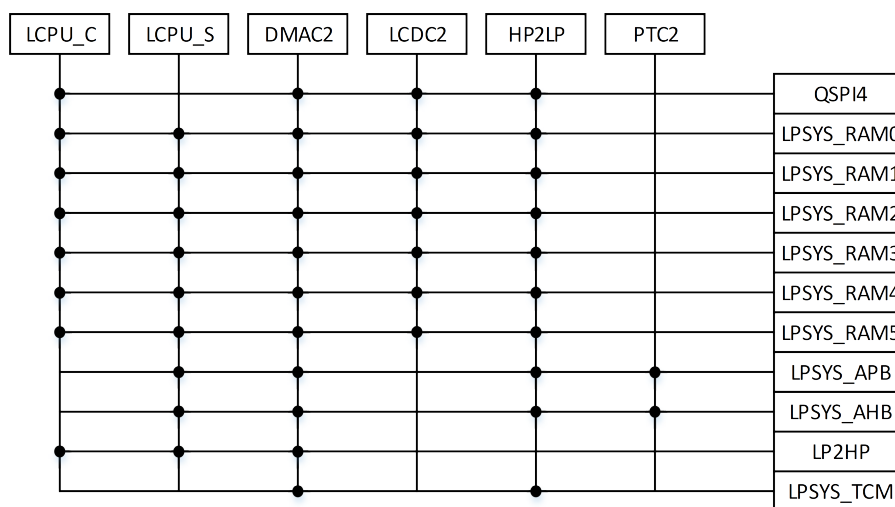


图 1-3: 低功耗处理器（小核）系统总线架构

1.4.2 时钟架构

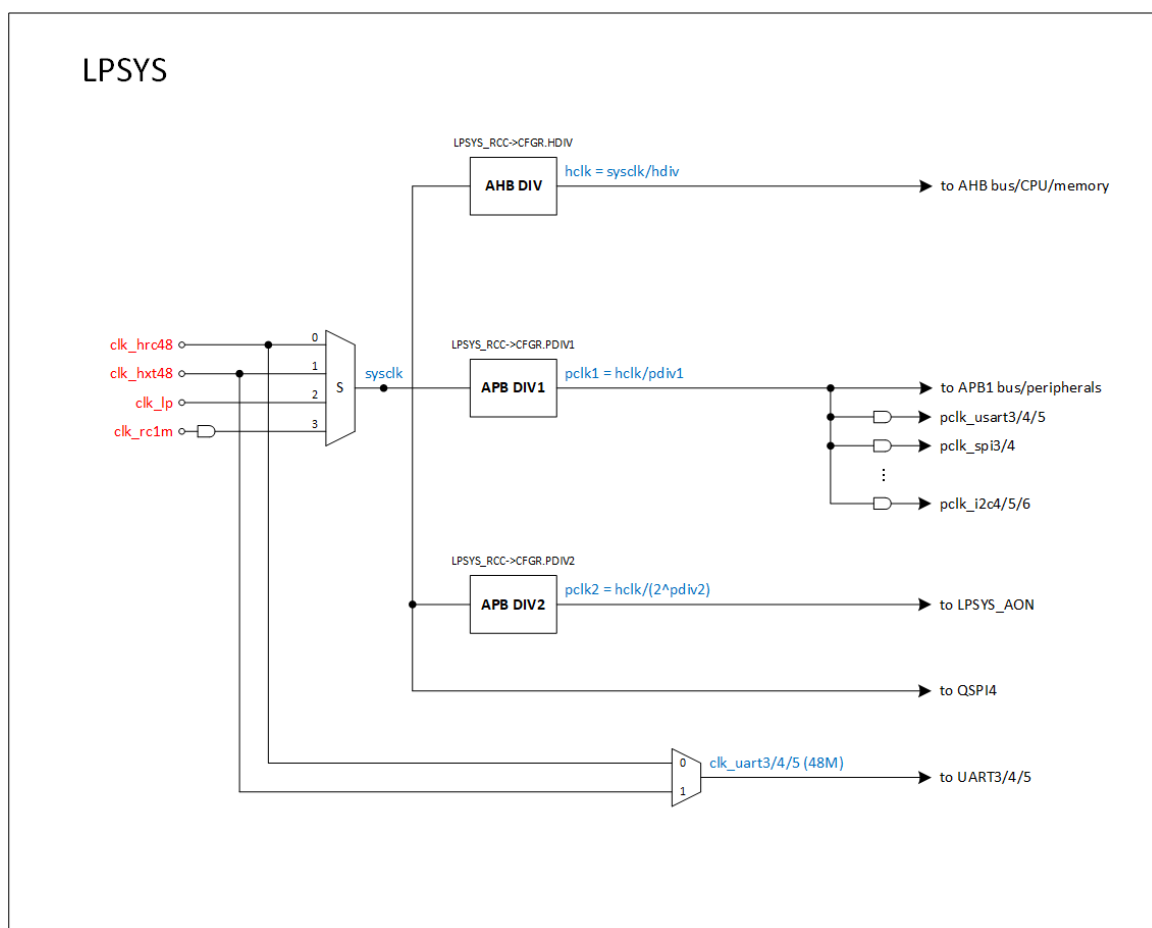


图 1-4: LPSYS 时钟架构

1.4.3 存储器类型

1.4.3.1 Cache

LCPU 配置有 16KB 2-way I-Cache（一级指令缓存）和 8KB 4-way D-Cache（一级数据缓存）。

1.4.3.2 TCM

LCPU 配置有 16KB zero-wait-cycle I-TCM，地址空间为 0x000F_C000 - 0x000F_FFFF。该 TCM memory 为 LCPU 专用，HCPU 可通过地址段 0x0B0F_C000 - 0x0B0F_FFFF 对其进行初始化。建议放置对实时性（或者时延确定性）要求较高的代码和数据。

LCPU 同时配置有 16KB zero-wait-cycle D-TCM，地址空间为 0x200F_C000 - 0x200F_FFFF。该 TCM memory 为 LCPU 专用，HCPU 可通过地址段 0x2B0F_C000 - 0x2B0F_FFFF 对其进行初始化。

1.4.3.3 SRAM

LPSYS 总线上共有 224KB SRAM，其中包括：

- 0x2010_0000 - 0x2010_7FFF，32KB zero-wait-cycle SRAM，最高频率为 48M
- 0x2010_8000 - 0x2013_7FFF，192KB one-wait-cycle SRAM，最高频率为 48M

所有 SRAM 均可在低功耗模式时保持数据。

1.4.3.4 片外 Flash

LPSYS 支持外挂 FLASH4，地址空间为 0x1200_0000 - 0x13FF_FFFF。

1.4.4 地址映射

表 1-3: LPSYS 地址映射

Category	Memory/IP	Address Space	HCPU Address Space		LCPU Address Space	
			Starting Address	Ending Address	Starting Address	Ending Address
LPSYS_ITCM	ROM	384KB	0x0B00_0000	0x0B05_FFFF	0x0000_0000	0x0005_FFFF
	RAM	16KB	0x0B0F_C000	0x0B0F_FFFF	0x000F_C000	0x000F_FFFF
LPSYS_DTCM	RAM	16KB	0x2B0F_C000	0x2B0F_FFFF	0x200F_C000	0x200F_FFFF
XIP Memory	QSPI4 Memory	32MB	0x1200_0000	0x13FF_FFFF	0x1200_0000	0x13FF_FFFF
LPSYS_RAM (128KB) 0x2010_0000 0x2011_FFFF	LPSYS_RAM0	16KB	0x2010_0000	0x2010_3FFF	0x2010_0000	0x2010_3FFF
	LPSYS_RAM1	16KB	0x2010_4000	0x2010_7FFF	0x2010_4000	0x2010_7FFF
	LPSYS_RAM2	32KB	0x2010_8000	0x2010_FFFF	0x2010_8000	0x2010_FFFF
	LPSYS_RAM3	64KB	0x2011_0000	0x2011_FFFF	0x2011_0000	0x2011_FFFF
	LPSYS_RAM4	64KB	0x2012_0000	0x2012_FFFF	0x2012_0000	0x2012_FFFF
	LPSYS_RAM5	32KB	0x2013_0000	0x2013_7FFF	0x2013_0000	0x2013_7FFF

续表下页...

表 1-3: LPSYS 地址映射 (续)

Category	Memory/IP	Address Space	HCPU Address Space		LCPU Address Space	
			Starting Address	Ending Address	Starting Address	Ending Address
LPSYS_APB1 (192KB) 0x4004_0000 0x4006_FFFF	RCC2	4KB	0x4004_0000	0x4004_0FFF	0x4004_0000	0x4004_0FFF
	DMAC2	4KB	0x4004_1000	0x4004_1FFF	0x4004_1000	0x4004_1FFF
	MAILBOX2	4KB	0x4004_2000	0x4004_2FFF	0x4004_2000	0x4004_2FFF
	PINMUX2	4KB	0x4004_3000	0x4004_3FFF	0x4004_3000	0x4004_3FFF
	PATCH	4KB	0x4004_4000	0x4004_4FFF	0x4004_4000	0x4004_4FFF
	UART3	4KB	0x4004_5000	0x4004_5FFF	0x4004_5000	0x4004_5FFF
	UART4	4KB	0x4004_6000	0x4004_6FFF	0x4004_6000	0x4004_6FFF
	UART5	4KB	0x4004_7000	0x4004_7FFF	0x4004_7000	0x4004_7FFF
	Reserved	4KB	0x4004_8000	0x4004_8FFF	0x4004_8000	0x4004_8FFF
	SPI3	4KB	0x4004_9000	0x4004_9FFF	0x4004_9000	0x4004_9FFF
	SPI4	4KB	0x4004_A000	0x4004_AFFF	0x4004_A000	0x4004_AFFF
	Reserved	4KB	0x4004_B000	0x4004_BFFF	0x4004_B000	0x4004_BFFF
	I2C4	4KB	0x4004_C000	0x4004_CFFF	0x4004_C000	0x4004_CFFF
	I2C5	4KB	0x4004_D000	0x4004_DFFF	0x4004_D000	0x4004_DFFF
	I2C6	4KB	0x4004_E000	0x4004_EFFF	0x4004_E000	0x4004_EFFF
	SYSCFG2	4KB	0x4004_F000	0x4004_FFFF	0x4004_F000	0x4004_FFFF
	GPTIM3	4KB	0x4005_0000	0x4005_0FFF	0x4005_0000	0x4005_0FFF
	GPTIM4	4KB	0x4005_1000	0x4005_1FFF	0x4005_1000	0x4005_1FFF
	GPTIM5	4KB	0x4005_2000	0x4005_2FFF	0x4005_2000	0x4005_2FFF
	BTIM3	4KB	0x4005_3000	0x4005_3FFF	0x4005_3000	0x4005_3FFF
	BTIM4	4KB	0x4005_4000	0x4005_4FFF	0x4005_4000	0x4005_4FFF
	WDT2	4KB	0x4005_5000	0x4005_5FFF	0x4005_5000	0x4005_5FFF
	GPADC	4KB	0x4005_6000	0x4005_6FFF	0x4005_6000	0x4005_6FFF
	SDADC	4KB	0x4005_7000	0x4005_7FFF	0x4005_7000	0x4005_7FFF
	Reserved	4KB	0x4005_8000	0x4005_8FFF	0x4005_8000	0x4005_8FFF
	LPCOMP	4KB	0x4005_9000	0x4005_9FFF	0x4005_9000	0x4005_9FFF
	TSEN	4KB	0x4005_A000	0x4005_AFFF	0x4005_A000	0x4005_AFFF
	PTC2	4KB	0x4005_B000	0x4005_BFFF	0x4005_B000	0x4005_BFFF
	LCDC2	4KB	0x4005_C000	0x4005_CFFF	0x4005_C000	0x4005_CFFF
	BUSMON2	4KB	0x4005_D000	0x4005_DFFF	0x4005_D000	0x4005_DFFF
	Reserved	4KB	0x4005_E000	0x4005_EFFF	0x4005_E000	0x4005_EFFF
	Reserved	4KB	0x4005_F000	0x4005_FFFF	0x4005_F000	0x4005_FFFF
	Reserved	64KB	0x4006_0000	0x4006_FFFF	0x4006_0000	0x4006_FFFF
LPSYS_APB2 (64KB) 0x4007_0000 0x4007_FFFF	LPSYS_AON	4KB	0x4007_0000	0x4007_0FFF	0x4007_0000	0x4007_0FFF
	LPTIM2	4KB	0x4007_1000	0x4007_1FFF	0x4007_1000	0x4007_1FFF
	LPTIM3	4KB	0x4007_2000	0x4007_2FFF	0x4007_2000	0x4007_2FFF
	Reserved	4KB	0x4007_3000	0x4007_3FFF	0x4007_3000	0x4007_3FFF
	Reserved	24KB	0x4007_4000	0x4007_9FFF	0x4007_4000	0x4007_9FFF
	PMUC	4KB	0x4007_A000	0x4007_AFFF	0x4007_A000	0x4007_AFFF
	RTC	4KB	0x4007_B000	0x4007_BFFF	0x4007_B000	0x4007_BFFF
	IWDT	4KB	0x4007_C000	0x4007_CFFF	0x4007_C000	0x4007_CFFF
	Reserved	12KB	0x4007_D000	0x4007_FFFF	0x4007_D000	0x4007_FFFF

续表下页...

表 1-3: LPSYS 地址映射 (续)

Category	Memory/IP	Address Space	HCPU Address Space		LCPU Address Space	
			Starting Address	Ending Address	Starting Address	Ending Address
LPSYS_AHB (256KB) 0x5004_0000 0x5007_FFFF	GPIO2	4KB	0x5004_0000	0x5004_0FFF	0x5004_0000	0x5004_0FFF
	QSPI4	4KB	0x5004_1000	0x5004_1FFF	0x5004_1000	0x5004_1FFF
	RFC	8KB	0x5004_2000	0x5004_3FFF	0x5004_2000	0x5004_3FFF
	PHY	4KB	0x5004_4000	0x5004_4FFF	0x5004_4000	0x5004_4FFF
	Reserved	44KB	0x5004_5000	0x5004_FFFF	0x5004_5000	0x5004_FFFF
	MAC	64KB	0x5005_0000	0x5005_FFFF	0x5005_0000	0x5005_FFFF
	Reserved	128KB	0x5006_0000	0x5007_FFFF	0x5006_0000	0x5007_FFFF
PHY_DUMP	PHY_DUMP	64KB	0x5008_0000	0x5008_FFFF	0x5008_0000	0x5008_FFFF

1.4.5 中断列表

表 1-4: LCPU 中断列表

IRQ #	IRQ Source
LCPU_NMI	WDT2
LCPU_IRQ[0]	AON2
LCPU_IRQ[1]	BT_MAC
LCPU_IRQ[2]	DMAC2_CH1
LCPU_IRQ[3]	DMAC2_CH2
LCPU_IRQ[4]	DMAC2_CH3
LCPU_IRQ[5]	DMAC2_CH4
LCPU_IRQ[6]	DMAC2_CH5
LCPU_IRQ[7]	DMAC2_CH6
LCPU_IRQ[8]	DMAC2_CH7
LCPU_IRQ[9]	DMAC2_CH8
LCPU_IRQ[10]	PATCH
LCPU_IRQ[11]	Reserved
LCPU_IRQ[12]	UART3
LCPU_IRQ[13]	UART4
LCPU_IRQ[14]	UART5
LCPU_IRQ[15]	Reserved
LCPU_IRQ[16]	SPI3
LCPU_IRQ[17]	SPI4
LCPU_IRQ[18]	Reserved
LCPU_IRQ[19]	I2C4
LCPU_IRQ[20]	I2C5
LCPU_IRQ[21]	I2C6
LCPU_IRQ[22]	GPTIM3
LCPU_IRQ[23]	GPTIM4
LCPU_IRQ[24]	GPTIM5
LCPU_IRQ[25]	BTIM3
LCPU_IRQ[26]	BTIM4
LCPU_IRQ[27]	Reserved
LCPU_IRQ[28]	GPADC
LCPU_IRQ[29]	SDADC

续表下页...

表 1-4: LCPU 中断列表 (续)

IRQ #	IRQ Source
LCPU_IRQ[30]	Reserved
LCPU_IRQ[31]	Reserved
LCPU_IRQ[32]	TSEN
LCPU_IRQ[33]	PTC2
LCPU_IRQ[34]	LCDC2
LCPU_IRQ[35]	GPIO2
LCPU_IRQ[36]	QSPI4
LCPU_IRQ[37]	Reserved
LCPU_IRQ[38]	Reserved
LCPU_IRQ[39]	Reserved
LCPU_IRQ[40]	Reserved
LCPU_IRQ[41]	LPCOMP
LCPU_IRQ[42]	LPTIM2
LCPU_IRQ[43]	LPTIM3
LCPU_IRQ[44]	Reserved
LCPU_IRQ[45]	Reserved
LCPU_IRQ[46]	HCPU2LCPU
LCPU_IRQ[47]	RTC

1.5 电源管理

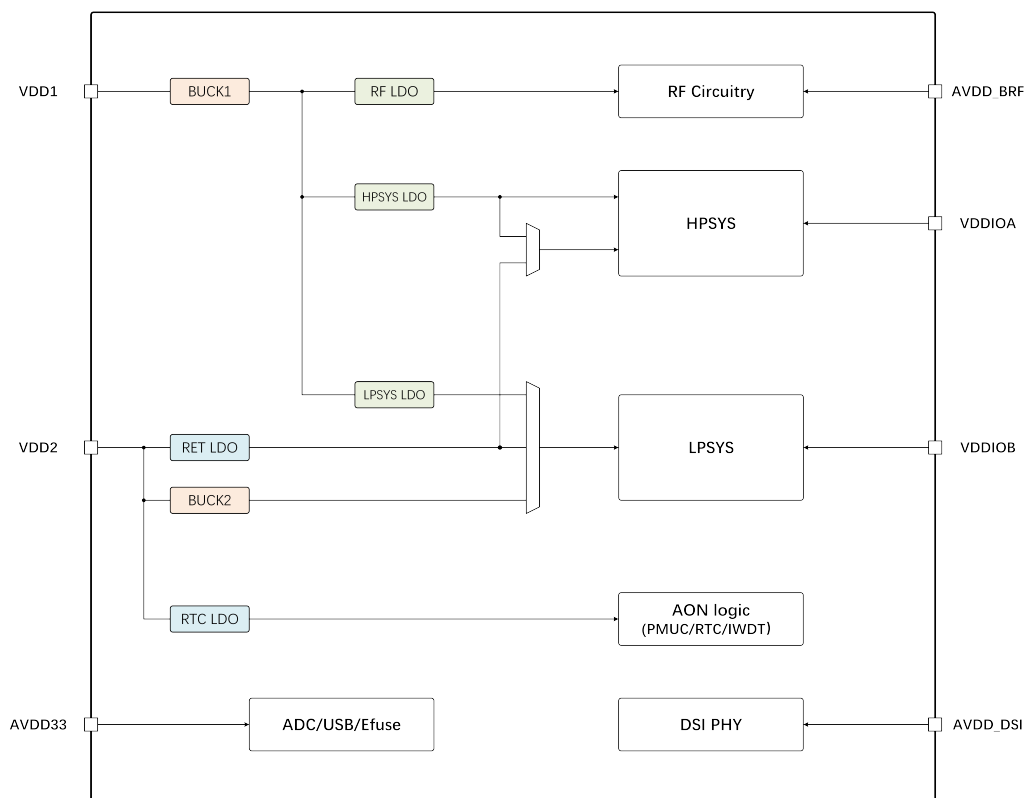


图 1-5: 电源管理架构

2 高性能专用计算

2.1 ePicasso™ 高性能 2.5D 图形引擎

在 2.5D 图像处理中,有许多常见的图像运算会耗费大量的 CPU 计算资源。ePicasso™ 则是专为 2.5D 图像运算设计的加速引擎,能够对 2.5D 图像运算中常见图层叠加、缩放、旋转等功能提供指数级的速度提升。除此以外,ePicasso™ 能够兼容各种常见的 RGB 图像格式,简化了系统中不同格式的图像格式转换。

2.1.1 图层叠加

ePicasso™ 最多支持四个前景图层和一个单色背景图层叠加,输入和输出格式包括常用 RGB565、RGB888、ARGB8565、ARGB8888。每个前景图层有独立的叠加模式和叠加区域。除此以外,每个图层还提供了单独的 filter 配置选项,可以使图层滤除某一特定的颜色,该功能可用于简单的图像捕获。

2.1.2 图形缩放

ePicasso™ 有一个图层称为功能图层,除了支持叠加的功能外,这个功能图层还能够实现图形的缩放。缩放最大比例可以到达八倍,精度则可以达到 1/256。在 X 和 Y 方向上,缩放的比例可以分别配置,以此适应各种不同的需求。

2.1.3 图形旋转

ePicasso™ 的功能图层除了可以支持缩放的功能以外,还能够支持图像的高精度旋转。用户可以自定义旋转角的 sin/cos 值,来满足任意角度的旋转需求。旋转和缩放的功能可以同时启用,一次性完成图像的两种操作,提高了图像处理的性能。

2.2 LCD 控制器

LCD 控制器主要用于将 Framebuffer 内数据输出至外部显示,现有的 LCD 控制器可以支持常用的屏幕接口包括 DBI、DPI 和 DSI。此外,LCD 控制器还支持压缩格式的图像,使用压缩格式的图像可以显著降低 memory 的使用带宽,提升系统的性能。

2.2.1 TurboPixel™ 帧缓存压缩

为了提高图像的帧率和显示的平滑度,多个(两个或三个)帧缓存(Frame Buffer)是经常被使用的架构。通常来说为了将图像输出和图像处理并行化,需要专用的帧缓存用于向屏幕输出图像数据。为了能够减小这些帧缓存的存储空间和读取时候的带宽,MCU 系统中提供了基于自主算法的 TurboPixel™ 图像帧压缩模块。而在读取图像数据时,LCD 控制器中的解压缩模块可以直接读取压缩数据,并将解压缩后的数据输出到屏幕。这样就可以节省下帧缓存的存储空间和读取消耗的带宽资源。

2.2.2 显示接口

LCD 控制器主要完成显示用数据到主流显示接口之间的适配，本芯片支持的显示接口有：

2.2.2.1 MIPI-DBI

LCD 控制器可以支持 DBI 接口中的串行 SPI 模式和并行的 8080 模式。对于 SPI 模式，LCD 控制器可以支持 3 线和 4 线两种模式，同时也支持 dual/quad data line 两种工作方式。色彩格式上支持 8-bit RGB332、16-bit RGB565 和 24-bit RGB888。对于 8080 模式，LCD 控制器可以支持 8-bit、16-bit 和 24-bit 的总线位宽，同时支持 RGB332、RGB444、RGB565、RGB666、RGB888 等色彩格式。

2.2.2.2 MIPI-DPI

为了支持没有内置缓存的屏幕，LCD 控制器加入了对 DPI 接口的支持。LCD 控制的 DPI 接口数据位宽为 24bit，可以很好地支持 RGB565 和 RGB888 的色彩格式。此外，LCD 控制器提供了灵活的 VBP、VFP、HBP 和 HFP 控制，来应对不同类型屏幕的需求。

2.2.2.3 MIPI-DSI

DSI 作为串行高速总线，主要是针对高分辨率和高集成度的屏幕使用场景，例如穿戴式设备。LCD 控制器也加入了对于 DSI 接口的支持，高速模式下，最高可以支持 2 条双向数据线，每条数据线最高传输速率达到 480Mbps。低速模式下，LCD 控制器也可以支持 1 条双向数据线。这样的配置可以满足绝大部分可穿戴设备的需求。

2.2.2.4 JDI 反射屏

为了适应可穿戴产品的低功耗需求，JDI 研发超低功耗的反射屏。该屏幕利用太阳光线呈现图像，相较传统 LCD 屏幕耗电可以降低 95% 以上，配备在可穿戴产品上可以实现超长续航。LCD 控制器内也加入了 JDI 反射屏接口支持，包括串行接口和并行接口。两种接口最高可以支持到 64 色显示，支持局部刷新和整屏刷新，从而进一步降低屏幕刷新功耗，满足超长续航的需求。

2.3 eZip™ 无损压缩解码器

eZip™ 解码器是基于自有算法的实时无损解压缩模块，压缩率与 Zip 格式相当。它可以用于将通用数据解码后保存，以此加快数据的实时加载能力。如果数据是从芯片外部传输，压缩后的传输有助于缩短传输时间，减少传输功耗。

此外，eZip™ 还支持专有格式的图片压缩，压缩率与 PNG 格式相当，并支持独立 DMA 操作或与 ePicasso™ 联动读取。当独立操作时，eZip™ 可通过 DMA 机制，可以灵活地将存储在 Flash 或 RAM 的压缩图片解压缩并搬运至目标缓存中。在联动模式下，ePicasso™ 通过 eZip™ 模块，实时从存储中读取图片并实时解压缩，然后按照一般的图形流程进行所需要的 2.5D 计算，从而省去了暂存解压缩图片的缓存。

通过以上机制，eZip™ 可以有效地降低图像素材对存储容量的需求，在有限的存储中最大化素材的丰富度，减小对片外存储的带宽要求，从而提高大大系统的整体运行效率。

eZip™ 模块是将 eZip™ 压缩图片进行解码输出的模块。该模块通过 AHB 总线读入压缩数据，解码后的图像数据可配置通过 AHB 总线输出或直接送给 epic 模块进行后续处理。

该模块具有以下特点:

- 通过 AHB 总线输入\输出的数据地址可配
- 输出图片数据可直接送给 epic 模块
- 可输出一个指定区域的图片数据
- 支持解码参数 cache 功能, cache 命中的情况下可缩短解码时间

2.4 神经网络加速器

2.4.1 神经网络矩阵卷积加速器 (NNACC)

矩阵卷积加速器旨在满足机器学习计算中对底层矩阵算力的需求, 可以广泛适用于各种神经网络框架。加速器访存接口丰富, 提供灵活的数据地址配置。支持最大 255×255 的输入矩阵和最大 128 的输入输出通道数。支持 8bit 整数型运算, 可以满足大部分边缘端 AI 计算要求, 比如语音指令识别、心率、计步、心电图等传感器的计算等场景。

2.4.2 神经网络协处理器 (NN Co-Processor)

神经网络协处理器, 通过协处理器接口挂在 hpcpu/lpcpu 上。软件通过专门的协处理器指令调用该处理器。协处理器特性为:

- 数据总线位宽为 64Bit
- 支持 8Bit 位宽的 MAC 运算
- 支持单指令 4 次独立 MAC 运算

3 外设

3.1 低功耗蓝牙 5.2

3.1.1 射频和基带

BLE 射频和基带包括发射机和接收机。发射机将基带信号调制到 2.4G BLE 频段上的信号发射出去，接收机将空中 2.4G BLE 频段信号接收解调到基带信号。主要特性为：

- 支持蓝牙 5.2 协议：1M PHY (1Mbps)、2M PHY (2Mbps)、Coded PHY(125Kbps、500Kbps)
- 集成 AGC
- 支持 RSSI
- 接收机支持自动频偏纠正
- 可调发射功率，最大 10dBm
- 集成 Balun 和天线匹配网络，无需片外匹配

3.1.2 控制器

BLE 控制器支持 BLE 5.2 协议，主要负责包的编解码以及事件的调度。主要特性为：

- 支持所有的包格式（广播包/扩展广播包/数据包等）
- 支持数据加解密
- 支持数据流的处理（CRC 和白化）
- 支持两种调频模式
- 支持低功耗模式

3.2 模拟外设

3.2.1 10 比特模/数转换器

GPADC 包含一个 SARADC，基本功能是将外接输入电压转换为数字信号。GPADC 主要特性为：

- 10-bit 分辨率
- 最大采样率 3MS/s
- 单端输入电压范围：0 ~ 1.1V
- 差分输入电压范围：-0.7V ~ 0.7V
- 支持 8 路单端模拟输入或 4 对差分模拟输入
- 支持单次测量模式和循环测量模式
- 每次测量可以划分为 8 个时隙，各时隙可以单独配置模拟输入通道
- 支持软件（写寄存器）和硬件（如计时器）触发方式
- 支持 DMA 通道
- 采样频率可配

表 3-1: 10-bit GPADC 电气特性

	Min.	Typ.	Max.	Unit	Comments
Resolution		10		bit	
T _{sample} (Differential)	166.67n		666.67n	s	fs = 1 / (T _{sample} + T _{conversion})
T _{sample} (Single-Ended)	583.33n		666.67n	s	
T _{conversion}	166.67n		666.67n	s	
Sample rate (fs)			3	Msp/s	
ENOB (Differential)		8.5		bit	V _{in} = -1dBFS, no averaging
ENOB (Single-Ended)		7.6		bit	V _{in} = -3dBFS, no averaging
SNDR (Differential)		52.93		dB	V _{in} = -1dBFS, no averaging
SNDR (Single-Ended)		47.51		dB	V _{in} = -3dBFS, no averaging
Current Consumption		87.04		uA	fs = 3Msp/s
		60.59		uA	fs = 750ksps

GPADC 外部源端电路电阻 R_{AIN} 与采样时间的关系表如下:

Resolution (bit)	T _{sample} (ns)	Maximum source resistance R _{AIN} (kOhm)
10	125	1
	166.67	5
	291.67	10
	458.33	20
	666.67	30

3.2.2 16 比特模/数转换器

SDADC 主要实现对信号的测量, 支持连续采样以及单次采样。参考电压为 0~2V, 增益 0.25 到 4 倍可配, 单端可以实现的测量范围为 0V~(0.65×参考电压/增益), 差分可以实现的测量范围为 -(0.65×参考电压/增益)~(0.65×参考电压/增益), 但测量范围都不能超过 0~AVDD, 最小的测量误差为 ±60uV, 单次可以实现 4kHz 的采样率, 连续采样可以实现 8kHz 的采样率。SDADC 主要特性为:

- 支持 16bit 的数据精度
- 最多支持 2 个差分或 5 个单端的频道采样
- 支持软件可配置的多个频道多次采样

3.2.3 温度传感器

温度传感器将温度转换为随温度变化的电压, 然后通过 ADC 将该电压转换为数字。系统通过软件调用温度传感器。主要特性为:

- 温度传感器分辨率为 0.2°C
- 支持温度范围为 -40°C 到 125°C
- 温度传感器精度 -3°C 到 3°C
- 支持轮询或中断方式读数

3.2.4 电压比较器

LPCOMP (Low-Power Comparator) 包含两路独立的电压比较器, 可将外部输入的模拟信号电压与参考电压值进行比较, 产生比较结果。两路比较器可以分别测量不同信号, 也可以测量同一个信号并产生组合输出。参考电压值可以从外部输入, 也可以由芯片内部产生。比较器结果可以通过 IO 输出或通过寄存器读取, 也可以产生中断 /PTC 事件触发或唤醒信号。

LPCOMP 在系统进入某些低功耗模式时也能够进行实时监控, 当检测到特定比较结果时将系统唤醒。

LPCOMP 主要特性:

- 两路比较器, 可独立使用或组合使用进行窗口比较
- 参考电压选择
 - 内部产生 4 档参考电压
 - 外部输入
- 可配置的迟滞比较
- 可配置的功耗/速度档位
- 比较结果极性翻转
- 比较结果后处理
 - 高/低电平
 - 上升沿/下降沿/任意沿
- 多种输出
 - IO
 - 寄存器
 - 中断
 - PTC 触发
 - LPTIM 时钟
 - 低功耗睡眠唤醒
- 系统处于低功耗模式 (light sleep/deep sleep) 下也可以工作, 并能够唤醒系统

3.3 DMA

3.3.1 ExtDMA

ExtDMA (Extended Direct Memory Access) 能够对总线上两个不同地址区间的数据进行高效率搬运工作, 并集成 TurboPixel™ 图像帧压缩模块, 可在搬运的同时完成图像压缩。不开启压缩时, ExtDMA 也可作为通用 DMA 使用。与 DMAC 相比, ExtDMA 在访问外部存储器 (如 FLASH、PSRAM) 时效率更高, 但仅有一个通道, 仅支持 4 字节对齐搬运, 且不响应外设请求。

ExtDMA 主要特性:

- 单 AHB 主控, 可访问 SRAM, PSRAM, FLASH 等, 支持 BURST 传输
- 单个传输通道, 内置深度为 16, 位宽 32 比特的 FIFO
- 源地址和目标地址均为 4 字节访问, 并支持地址自动递增
- 单次配置最大传输单元数为 $2^{20}-1$, 每单元固定 4 字节传输, 即单次最大传输 4M 字节

- 每个通道支持传输完成、过半传输、传输出错事件标志，并能各自独立产生中断请求
- 集成 TurboPixel™ 图像帧压缩功能，支持 RGB565/RGB888/ARGB8888 格式输入，单行最大支持 512 像素

3.3.2 DMAC

DMAC (Direct Memory Access Controller) 用于实现总线上两个不同地址区间内数据的搬运工作。DMAC 共有 8 个独立通道，每个通道可配置源地址区间与目标地址区间，分别映射到各内存或外设的地址范围内，从而实现内存-内存、内存-外设、外设-内存、外设-外设之间的高效率传输，有效缓解 CPU 的工作量。

DMAC 支持外设响应模式和内存搬运模式：在外设响应模式下，DMAC 基于外设的 DMA 请求进行搬运，从而适配外设的带宽；在存储器搬运模式下，DMAC 不等待外设的 DMA 请求，尽快完成数据搬运。当多个通道同时使能时，DMAC 依照优先级由高至低的次序依次搬运；并且在较低优先级的通道搬运过程中，较高优先级的通道能够进行抢占搬运。每个通道传输过半或完成时，能够产生中断或 PTC 触发。

DMAC1 与 DMAC2 位于 HPSYS，能够响应 HPSYS 外设的 DMA 请求。DMAC3 位于 LPSYS，能够响应 LPSYS 外设的 DMA 请求。

DMAC 主要特性：

- 单 AHB 主控，可访问 SRAM，PSRAM，FLASH，AHB 和 APB 外设等
- 8 个独立的可配置通道
- 每个通道的 DMA 请求可在至多 64 个外设 DMA 请求中选择 1 个，或由软件请求
- 每个通道支持 4 档优先级配置，优先级相同时依照通道编号大小判决
- 支持外设到存储器、存储器到外设、存储器到存储器以及外设到外设的数据传输
- 源地址和目标地址均独立支持单字节、双字节、四字节访问，源和目标的地址必须根据传输数据单元的大小进行对齐，并支持地址自动递增。传输过程中地址不支持跨过 1MB 边界。
- 单次传输单元数可配置为 0 到 65535
- 支持循环缓冲模式，单次传输完成后自动重新启动
- 每个通道支持 3 种事件标志：传输完成、过半传输、传输出错，并能各自独立产生中断或 PTC 触发
- 每个通道支持可配置块尺寸的块传输模式

3.4 数字接口

3.4.1 通用输入/输出接口 (GPIO)

系统共有 128 个 GPIO 管脚，其中 HPSYS 80 个，LPSYS 48 个。通过配置对应的寄存器，可以为这些管脚分配不同的功能。

当配置为输出功能时，可以通过寄存器配置输出值。

当配置为输入功能时，输入值可以通过相应寄存器查询，同时支持输入信号中断触发，中断触发模式可设置为电平触发和沿触发，沿触发支持上下双沿触发。

3.4.2 通用异步收发器 (UART)

通用异步收发器支持全双工模式，提供高达 6Mbps 的波特率和多种可配置的数据格式，为与外部标准化设备通信提供了灵活而有效的数据交互手段。同时它还支持 DMA，实现多包收发。

UART1 和 UART2 位于 HPSYS。UART3、UART4 和 UART5 位于 LPSYS。

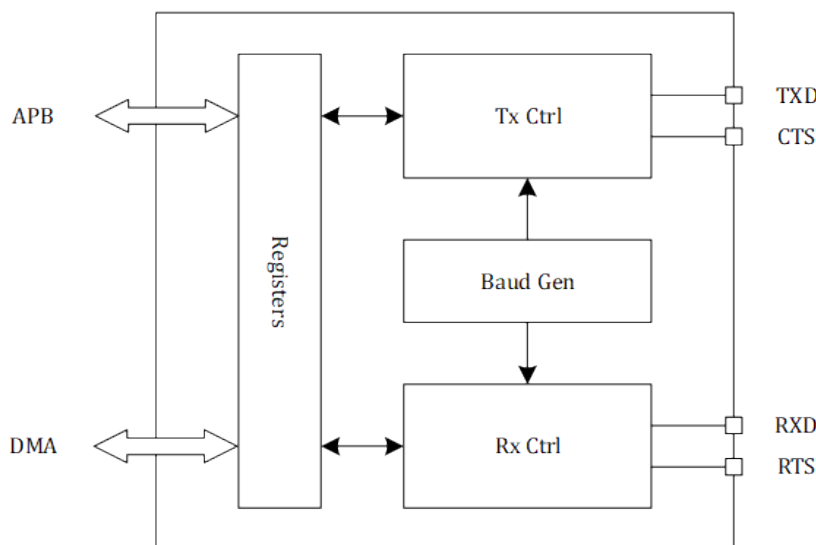


图 3-1: 通用异步收发器

通用异步收发器主要特性:

- 全双工异步通信
- 可配置 16 倍过采样或 8 倍过采样, 选择频率优先或者时钟容忍度优先
- 灵活波特率配置, 当输入时钟为 48MHz 且过采样率为 16 时, 波特率为 3Mbps
- 可配置包长度 (7/8/9 bits)
- 可配置停止位 (1/2 bits)
- 硬件流控 (CTS/RTS)
- DMA 多包发送和接收
- 接收奇偶校验和发送奇偶生成
- 接收和发送中断, 以及其他错误中断

波特率计算说明

假设输入时钟固定为 48MHz, 波特率计算公式如下:

$$Baud\ Rate = \frac{48MHz}{(BRR_{INT} + \frac{BRR_{FRAC}}{16})(16\ or\ 8)} \quad (3.1)$$

3.4.3 I2C

I2C(Inter-Integrated Circuit) 接口同时支持主设备与从设备角色, 可作为主设备与 I2C 外设通信, 也可作为从设备响应外部的 I2C 主设备。I2C 内置 8 字节 FIFO, 可以进行单笔读写, 也可通过 DMA 进行批量数据读写。I2C 支持标准模式 (standard-mode)、快速模式 (fast-mode)、增强快速模式 (fast-mode plus) 以及高速模式 (high-speed-mode), 最高速率可达到 3.4Mbps。

I2C 主要特性:

- 可同时作为主设备与从设备

- 支持总线多主设备
- 支持标准模式 (最高 100kbps)
- 支持快速模式 (最高 400kbps)
- 支持快速模式 + (最高 1Mbps)
- 支持高速模式 (最高 3.4Mbps)
- 作为主设备支持访问 7 比特或 10 比特寻址
- 作为从设备支持 7 比特寻址
- 可配置的总线时序
- 支持时钟延展 (clock stretching)
- 8 字节 FIFO, 支持 DMA
- 可配置的数字防抖动电路

3.4.4 PDM

PDM (Pulse Density Modulation) 脉冲密度调制接口主要是用于将 PDM 麦克风采集到的 PDM 音频信号转化为 PCM (Pulse Code Modulation) 脉冲编码调制信号以供后续的音频处理。

PDM 主要特性:

- 同时支持左右两路立体声信号, 也可以单独采集单声道信号
- 可提供的 PDM 麦克风时钟速率: 3.072MHz、1.536MHz、0.768MHz、1.024MHz、2.4MHz、1.6MHz、0.8MHz
- 支持 PCM 数据的速率: 48kHz、32kHz、24kHz、16kHz、12kHz、8kHz
- 支持 24bit、16bit 的 PCM 信号
- 支持分辨率为 0.5dB 并且从 -15dB 到 45dB 增益可调

3.4.5 I2S

I2S 接口是应用于音频的输入输出, 可以用来连接外部音频芯片、数字麦克风等设备。相较模拟音频接口, I2S 数字音频接口有更好的抗干扰能力以及更精简的接口协议。

I2S 主要特性:

- 只支持 master 模式
- 支持全双工模式
- 可配置的 I2S 数据格式, 包括左对齐、右对齐和标准格式
- 支持多种音频数据格式, 包括 8-bit 和 16-bit 的单声道和立体声格式
- 可配置的 I2S PCM 信号位宽, 最高到 24-bit

3.4.6 串行外设接口 (SPI)

SPI 支持 3 种通信格式: SSP/SPI/Microwire。SSP/SPI 为全双工通信协议, 控制器可以配置为 Master 或 Slave 模式。Microwire 为半双工通信协议, 控制器仅可配置为 Master 模式。SPI 控制器内置发送/接收 FIFO。发送 FIFO 和接收 FIFO 共享同一个地址, 读该地址时访问接受 FIFO, 写该地址时访问发送 FIFO。SPI1/SPI2 位于 HPSYS, SPI3/SPI4 位于 LPSYS。

SPI 特性如下:

- 支持 8 到 32Bit 的数据宽度
- SPI 格式下时钟极性和相位可通过寄存器 SPO 和 SPH 设置
- 片选信号极性可配
- FIFO 深度可以设为 32Bits×16Entry 或 4Bits/8Bits×32Entry
- 接收发送都支持 DMA 模式
- HPSYS 中的 SPI 最大时钟频率为 48MHz；LPSYS 中的 SPI 最大时钟频率为 24MHz。

各种通信格式工作时序如下：

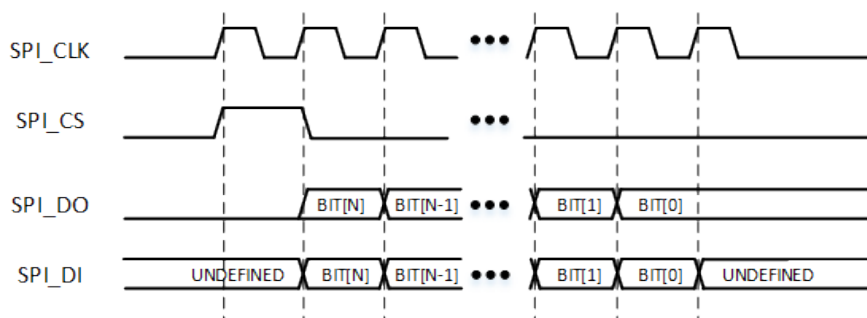


图 3-2: SSP 格式单次收发时序

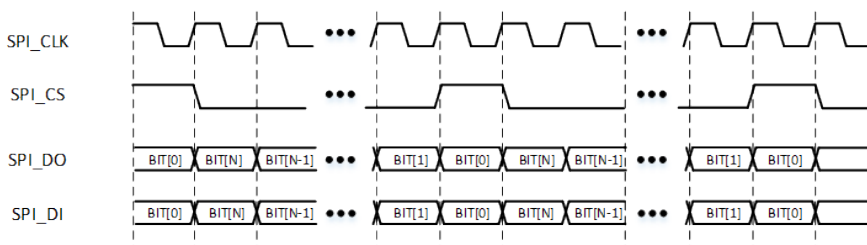


图 3-3: SSP 格式连续收发时序

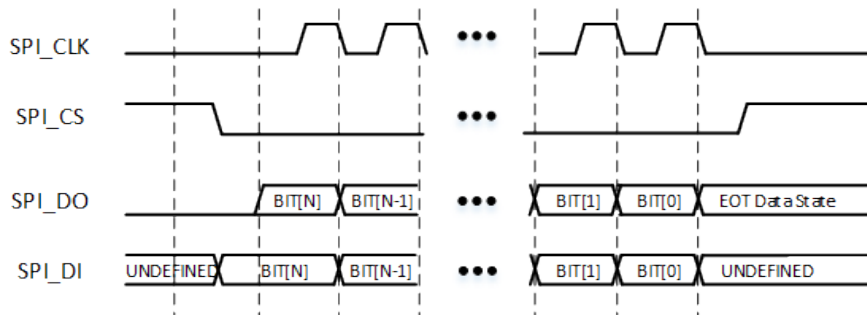


图 3-4: SPI 格式单次收发时序

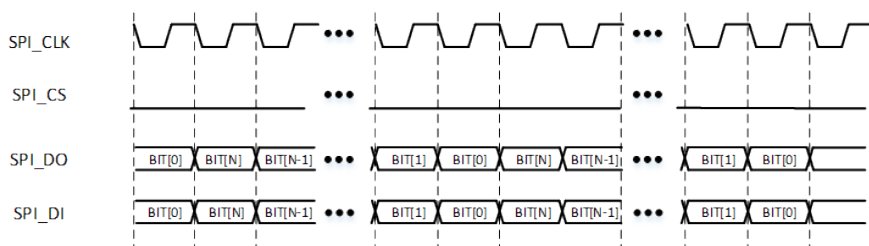


图 3-5: SPI 格式连续收发时序

下面图例用于说明 SPI 格式下 SPH/SPO 设置的效果:

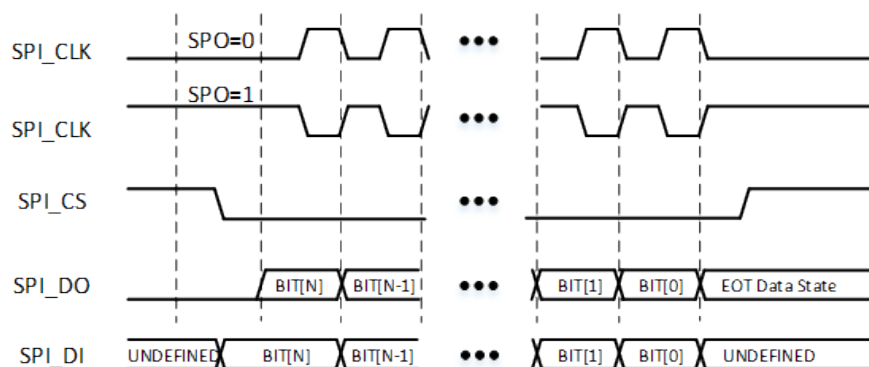


图 3-6: SPH=0 时的 SPI 时序

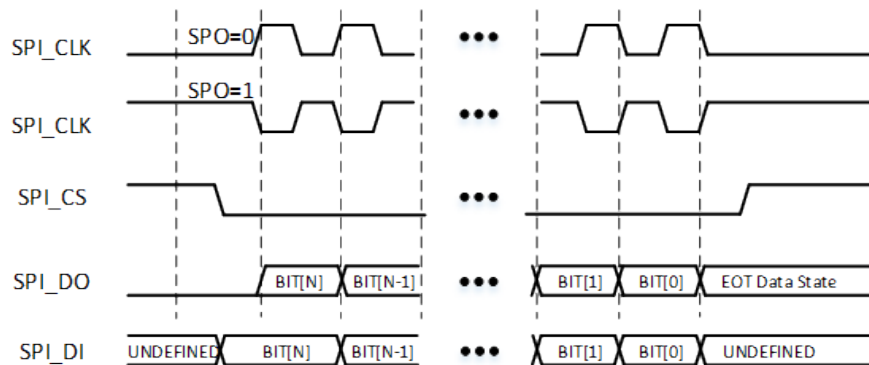


图 3-7: SPH=1 时的 SPI 时序

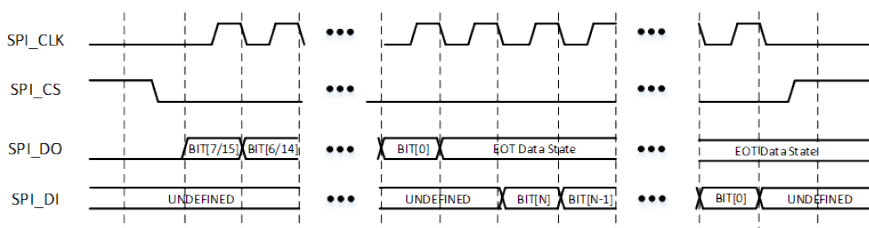


图 3-8: Microwire 格式的单次收发时序

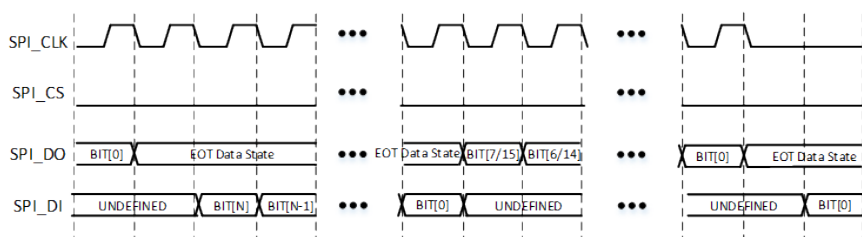


图 3-9: Microwire 格式的多次收发时序

3.4.7 外设任务控制器 (PTC)

PTC (Peripheral Task Controller) 是一个独立的外设控制器，可以不需要唤醒 CPU，自动完成各个外设的相互调度和控制任务。基于选定外设的事件触发，PTC 能够自动改写各外设的工作模式或工作状态，并且能够将这些任务串联构成自动触发的任务序列，从而完成复杂且快速响应的任务链。在任务链的进行过程中，CPU 可以一直保持睡眠，进而有效节省功耗。

PTC 共有 8 个通道，每个通道可以选择独立的触发源，并可配置独立的任务。可执行的任务包括两类：将指定数据直接写入指定地址；将指定地址的内容读出，与指定数据进行异或 / 与 / 或 / 加法操作后再写回。每个通道任务完成时，可产生触发信号从而触发其它通道的任务。

PTC1 位于 HPSYS 中，可以控制 HPSYS 总线上的外设。PTC2 位于 LPSYS 中，可以控制 LPSYS 总线上的外设。

PTC 主要特性：

- 8 个独立配置的通道可同时工作
- 每个通道触发可在 128 个触发源中选择，包括 PTC 自身的触发源
- 可访问 AHB 和 APB 外设地址空间，只支持 word 对齐访问
- 支持直接写数据，或读后改写
- 支持 32 位异或/与/或/加法运算
- 固定优先级仲裁，通道编号越小优先级越高
- 4 个 word 的寄存器空间用于数据缓存

3.4.8 USB2.0 FS

本芯片集成了一路全速 (FS) USB2.0 Device 接口，符合 USB 2.0 的协议规范，具有如下功能：

- 软件可配置的端点设置，支持挂起/恢复
- 支持动态 FIFO 大小
- 支持会话请求协议和主机协商协议
- 支持全速以及慢速模式
- 片内集成 USB2.0 FS PHY
- 只支持 device 模式
- 拥有 ep0~ep7 8 个通道

3.5 定时器

3.5.1 通用定时器

GPTIM (General-Purpose Timer) 基于一个 16 比特计数器, 可实现计时、测量输入信号的脉冲长度 (输入捕获) 或者产生输出波形 (输出比较和 PWM) 等功能。计数器本身可以进行递增、递减或者递增/递减计数, 计数时钟可选系统 PCLK、IO 输入信号或级联输入信号, 并可进行 1~65536 倍的预分频。GPTIM 共有 4 个通道, 可以分别独立配置为输入捕获或输出模式。计数、输入捕获和输出比较的结果可以产生中断、DMA 请求或 PTC 事件。GPTIM 包含主从模式接口, 可以进行多级级联, 实现多级计数或同步触发等功能。

GPTIM 主要特性:

- 16 位递增、递减、递增/递减自动重装载计数器, 最大计数 65535
- 16 位可编程 (可以实时修改) 预分频器, 计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 8 位可配置重复计数
- 支持单笔计数模式 (OPM), 当重复计数完成后自动停止计数器
- 4 个独立通道, 可分别配置为输入或输出模式
- 输入模式
 - 上升沿/下降沿捕获
 - PWM 脉宽和周期捕获 (需占用两个通道)
 - 可选 4 个输入端口之一或 1 个外部触发端口, 支持防抖动滤波和预降频
- 输出模式
 - 强制输出高/低电平
 - 计数到比较值时输出高/低/翻转电平
 - PWM 输出, 可配脉宽和周期
 - 多通道 PWM 组合输出, 可产生有相互关系的多路 PWM
 - 单脉冲/重触发单脉冲模式输出
- 主从模式
 - 支持多计数器互连, 可在作为主设备产生控制信号的同时, 作为从设备被外部输入或其它主设备控制
 - 控制模式包括复位、触发、门控等
 - 支持多计数器同步启动、复位等
- 编码模式输入, 控制计数器递增/递减计数
- 如下事件发生时产生中断/DMA 请求/PTC 触发:
 - 更新: 计数器递增溢出/递减溢出, 计数器初始化 (通过软件或者内部/外部触发)
 - 触发事件 (计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较

3.5.2 基本定时器

BTIM (Basic Timer) 基于一个 32 比特递增计数器, 可实现计时功能。计数时钟为系统 PCLK 或级联输入信号, 并可进行 1~65536 倍的预分频。计时结果可以产生中断、DMA 请求或 PTC 事件。BTIM 包含主从模式接口, 可以进行多级级联, 实现多级计数或同步触发等功能。

BTIM 主要特性:

- 32 位递增自动重装载计数器

- 16 位可编程预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 支持单笔计数模式 (OPM)，计数完成后自动停止计数器
- 主从模式
 - 支持与 BTIM 及 GPTIM 互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
 - 控制模式包括复位、触发、门控等
 - 支持多定时器同步启动、复位等
- 计数器溢出或初始化时产生中断，DMA 请求及 PTC 触发

3.5.3 低功耗定时器

LPTIM (Low-Power Timer) 基于一个 24 比特递增计数器，可实现计时、产生输出波形 (输出比较和 PWM) 和唤醒系统等功能。计数时钟可以为系统时钟、低功耗时钟、IO 输入信号或比较器输出，并可进行最多 128 倍的预分频以及最多 256 次的循环计数。根据计数结果可以产生 PWM 输出，并可产生中断，或产生唤醒信号将系统从低功耗模式唤醒。当用 IO 输入信号作为计数时钟时，支持不依赖于内部时钟进行计数并产生唤醒信号，从而允许系统关闭内部时钟。

LPTIM 主要特性：

- 24 位向上自动重装载计数器，最大计数 $16777215(2^{24}-1)$
- 计数时钟选择
 - 内部时钟，PCLK2 或低功耗时钟
 - 可选边沿的 IO 输入信号或比较器输出，可利用内部时钟进行防抖动，也可不依赖内部时钟独立计数
- 8 档预分频，计数时钟分频系数为 2 的 0~7 次方
- 1~256 循环次数
- 计数模式
 - 连续计数模式
 - 单笔计数模式，循环次数完成后计数结束
- 可配极性的输出模式
 - PWM 输出，可配脉宽、周期
 - 单次翻转输出
 - 单脉冲或指定个数脉冲输出
- 触发模式
 - 软件触发
 - IO 输入信号边沿触发，支持防抖动滤波
- 超时检测，每次外部触发时计数器复位
- 如下事件发生时产生中断或唤醒信号：
 - 更新
 - 计数器溢出
 - 输出比较
 - 外部触发

3.5.4 看门狗

看门狗计时器作为一种计数器主要是用于在到达设定好的时间之后重置系统，以防止软件挂死。

看门狗计时器基本功能：

- 支持两种工作模式：
 - Mode0
 - * wdt 不会产生中断，在到达设定的时间之后会直接重置系统
 - * 最高支持 24bit 的计数器
 - Mode1
 - * 分为两段计数，在到达第一段设定的时间之后，会产生中断，在到达第二段设定的时间之后，再重置系统
 - * 每个时间段最高支持 24bit 的计数器
- 支持写保护，以防止软件对 wdt 进行误操作

3.6 加密校验

3.6.1 AES 引擎

AES 引擎是一个针对对称加密算法的运算加速器，用户可以自行配置加解密算法的密钥以及初始向量对内存中的数据进行加解密运算操作，同时将结果存储到指定的内存区域。

相较软件的加解密运算，AES 引擎有更高的运算速度，更灵活的配置，更好的外设存储设备访问效率。除此以外，在 bypass 模式下，AES 引擎也可以作为数据传输的 DMA 来使用。

AES 主要特性：

- 支持 AES-128、AES-192、AES-256 以及国密 SM4 算法标准
- 支持 ECB、CTR 以及 CBC 模式
- 可以调用 RootKey 进行加解密的运算，同时保证 RootKey 不被外部程序读取

3.6.2 CRC

CRC (Cyclic Redundancy Check) 可进行特定位宽、任意生成多项式、任意初始值的 CRC 计算。数据可以通过 CPU 或 DMA 输入，最小输入单元为单字节，没有最长字节数限制。单 PCLK 周期即能够完成单字节输入的计算。数据输入全部完成后即时得到校验结果。支持输入数据高低位倒转和输出数据高低位倒转。支持不同有效位宽的输入数据。

CRC 主要特性：

- 7/8/16/32 比特 CRC 计算
- 任意自定义多项式
- 任意初始值
- 输入数据支持单字节/双字节/三字节/四字节有效位宽
- 输入数据支持字节/双字节/四字节高低位比特倒转
- 输出数据支持高低位比特倒转

- 计算速度为每 PCLK 周期 1 字节

3.6.3 真随机数发生器 (TRNG)

TRNG (True Random Number Generator) 是一个借助振荡电路的不稳定性来产生随机数的模块。该模块无需外部的随机熵源, 可以通过激活内部多个振荡电路, 通过一定的熵源处理逻辑, 生成随机数。

TRNG 主要特性:

- 独立的内部熵源
- 单次产生 256-bit 的种子和 256-bit 随机数
- 针对熵源的死锁校验

3.7 存储接口

3.7.1 QSPI 接口

QSPI 控制器是一个专用的片外 memory 通信接口, 适用于单线、双线和四线 SPI 的 NOR/NAND Flash 以及 pSRAM 存储颗粒。CPU 可以通过寄存器或者 AHB 地址映射的方式, 灵活地实现各种操作。控制器还支持 Dual Flash 模式以进一步提高带宽和容量。

QSPI 控制器支持两种操作模式: (1) 寄存器模式和 (2) 地址映射模式。两种模式的切换由硬件自动完成, 可动态穿插执行。且无论哪种模式, 都支持高度可定制的 SPI 命令时序, 以兼容各种存储颗粒。

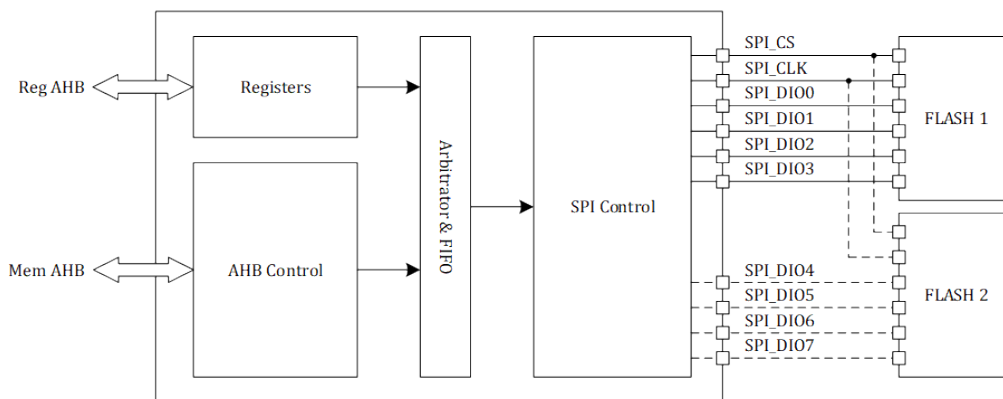


图 3-10: QSPI 控制器框图

寄存器模式:

- 通过寄存器操作, 发送一个 SPI 命令时序。也可以将该命令设置为状态查询命令反复发送, 直到读回的数据满足某个预设状态
- 支持发送包含两个 SPI 命令时序的序列, 其中第二个命令可设置为状态查询命令反复发送, 直到读回的数据满足某个预设状态
- 支持 DMA 通道, 实现 FIFO 数据搬运

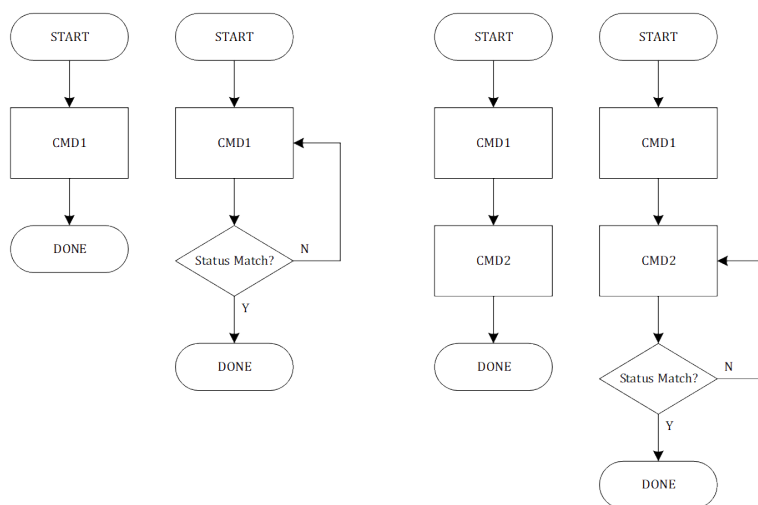


图 3-11: 寄存器模式单个和多个命令时序的序列

地址映射模式:

- 将外部 memory 映射成 AHB 地址空间, 并把总线读写转换为预设的 SPI 命令时序
- 支持 Byte (8-bit)、Half-word (16-bit) 和 Word (32-bit) AHB 访问
- 高效转换 AHB Wrap 操作, 满足 XIP 实时性需求
- 支持 XIP 实时 (On-The-Fly) 解密, 模式为 AES128-CTR 或者 AES256-CTR
- 支持 Resume 功能, 单笔访问后 CS 可选择性拉低, 如果接下去的读取地址与前一笔连续, 则直接开始读取数据, 省略命令和地址部分

3.7.2 OPI-PSRAM 接口

OPI-PSRAM 接口通过地址映射方式实现对片外 PSRAM 的访问, 支持 CPU 直接访问也支持 DMA 访问。主要特性如下:

- 支持 OPI DDR PSRAM, 最大时钟频率 120MHz
- 最大寻址范围 256Mb
- 支持 8 位或 16 位总线带宽
- 内置收发 FIFO
- 支持 8/16/32-bit 位宽的访问
- 支持 DMA 访问
- Timeout 机制

3.7.3 SD/SDIO/eMMC

SDMMC 支持 SD 协议 3.0 以及 eMMC 标准 4.51, 可作为 HOST 控制器与 SD/SDIO/eMMC 设备交互。SDMMC 内置链式 DMA 控制器以及 1K 字节 FIFO, 可自主进行数据读写, 支持分块数据搬运。SDMMC 支持 SDR 单线、4 线和 8 线模式, 并支持 DDR 4 线模式。

SDMMC 主要特性:

- 兼容 SD Host Controller Standard Specification Version 3.0

- 兼容 SD 3.0 Physical Layer Specification Version 3.01
- 兼容 SDIO Specification Version 3.0
- 兼容 JEDEC JESD84-B451 eMMC 4.51 Specification
- 支持 SDSC/SDHC/SDXC/SDHS 卡
- 支持 UHS-1: SDR12/SDR25/DDR50
- 支持 SDR 单线、4 线、8 线模式
- 支持 DDR 4 线模式
- 内置 1K 字节 FIFO, 最大支持单 block 512 字节
- 可配置时钟
- 内置链式 DMA

3.8 各种外设接口速率汇总

表 3-2: 常用接口速率

控制器	最高速率	单位	备注
QSPI1	96	MHz	SiP NOR Flash
QSPI2	60	MHz	外挂 NOR/NAND Flash 或 QSPI-PSRAM
QSPI3	60	MHz	外挂 NOR/NAND Flash 或 QSPI-PSRAM
QSPI4	48	MHz	外挂 NOR Flash
PSRAMC	120	MHz	外挂或 SiP OPI-PSRAM
SDMMC	48	MHz	
I2C	3.4	MHz	
SPI1/2	48	MHz	
SPI3/4	8	MHz	
UART	3	Mbaud	
I2S	48	KHz	采样率 48KHz, 32-bit×2 channel
GPADC	3	Msps	
SDADC	4	Ksps	

4 电气特性

4.1 基本电气特性

表 4-1: 运行条件

Symbol	Description	Min	Typ	Max	Unit
VDD	Power supply voltage from external source	1.7	3.3	3.6	V
T _{amb}	Ambient temperature	-40	25	85	°C
V _{IL}	CMOS low level input voltage	0		0.3×V _{IO}	V
V _{IH}	CMOS high level input voltage	0.7×V _{IO}			V
V _{TH}	CMOS threshold voltage		0.5×V _{IO}		V

表 4-2: 绝对最大值

Symbol	Description	Min	Typ	Max	Unit
VDD	Power supply voltage from external source			3.8	V
T _{Storage}	Storage temperature	-40		125	°C
V _{IN}	Input voltage	0		V _{IO} +0.3	V
V _{LNA}	LNA input level			0	dBm
I _{IN}	Input current			20	mA

表 4-3: I/O 特性 @3.3V

符号	参数	最小值	典型值	最大值	单位
C _{IN}	管脚电容	2.5	3	3.5	pF
V _{IH}	高电平输入电压	0.7*VDD	-	VDD	V
V _{IL}	低电平输入电压	VSS	-	0.3*VDD	V
I _{IH}	高电平输入电流	-	10	40	nA
I _{IL}	低电平输入电流	-	10	40	nA
V _{OH}	高电平输出电压 (高阻负载)	0.8*VDD	-	VDD	V
V _{OL}	低电平输出电压 (高阻负载)	VSS	-	0.2*VDD	V
I _{OH}	高电平驱动电流 (V _{OH} =0.8*VDD, 最大驱动强度)	12	30	38	mA
I _{OL}	低电平驱动电流 (V _{OH} =0.2*VDD, 最大驱动强度)	12	30	38	mA
R _{PU}	内部上拉电阻 (V _{pad} =0.8*VDD)	7	10	20	kΩ
R _{PD}	内部下拉电阻 (V _{pad} =0.2*VDD)	7	10	20	kΩ
V _{IH_nRST}	芯片复位释放电压	0.7*VDD	-	VDD	V
V _{IL_nRST}	芯片复位电压	VSS	-	0.3*VDD	V

4.2 可靠性

表 4-4: 可靠性测试

测试项目	测试条件		适用产品	测试标准
HTOL (高温工作寿命)	125°C, 1000 小时		SF32LB55x	JESD22-A108
ESD (静电放电敏感度)	HBM (HUMAN BODY MODE)	± 4000 V	SF32LB551x	JS-001-2017
		± 2000 V	SF32LB555x	JS-001-2017
	CDM (CHARGE DEVICE MODE)	±1000V	SF32LB55x	JS-002-2018
	MM (MACHINE MODE)	± 200V	SF32LB55x	JESD22-A115C
Latch-up (门锁测试)	LU (LATCH-UP)	I-Test: ± 200mA	SF32LB55x	JESD78E
		OVT: +1.5 × V _{ddMAX}	SF32LB55x	
MSL3 (湿度敏感等级)	烘烤: 125°C, 24 小时 浸泡: 30°C, 60% RH, 192 小时 回流焊: 260 ± 0°C, 20 秒, 三次		SF32LB55x	J-STD-020 JESD47 JESD22-A113
TCT (高低温循环试验)	-65°C~150°C, 1000 次循环		SF32LB55x	JESD22-A104
uHAST (无偏压高加速温湿度应力试验)	130°C, 85% RH, 96 小时		SF32LB55x	JESD22-A118
HTSL (高温贮存寿命)	150°C, 1000 小时		SF32LB55x	JESD22-A103
LTSL (低温存储寿命)	-40°C, 1000 小时		SF32LB55x	JESD22-A119
PCT (高压蒸煮实验)	QFN: 121°C, 100% RH, 29.7PSI, 96 小时		SF32LB551x	JESD22-A102
Solderability (可焊性实验)	QFN: 245±5°C, Aging 8 小时		SF32LB551x	J-STD-002D-2013

4.3 功耗特性

4.3.1 关机功耗

表 4-5: 关机功耗

符号	1.8V 供电 (典型值)	单位
$I_{\text{POWER OFF (RTC 唤醒)}}$	600	nA
$I_{\text{POWER OFF (按键唤醒)}}$	280	nA

4.3.2 处理器功耗

表 4-6: 处理器功耗 (SF32LB551)

符号	条件		3.3V 供电 (典型值)	1.8V 供电 (典型值)	单位
I _{CoreMark}	HPSYS	240MHz	9.8	18.0	mA
		192MHz	8.2	15.1	mA
	LPSYS	48MHz	0.933	1.710	mA
		24MHz	0.566	1.038	mA
I _{WhileLoop}	HPSYS	240MHz	6.7	12.3	mA
		192MHz	5.7	10.5	mA
	LPSYS	48MHz	0.715	1.310	mA
		24MHz	0.455	0.835	mA

表 4-7: 处理器功耗 (SF32LB555)

符号	条件		3.3V 供电 (典型值)	1.8V 供电 (典型值)	单位
I _{CoreMark}	HPSYS	240MHz	9.3	17.0	mA
		192MHz	7.7	14.1	mA
	LPSYS	48MHz	0.728	1.334	mA
		24MHz	0.445	0.816	mA
I _{WhileLoop}	HPSYS	240MHz	6.2	11.3	mA
		192MHz	5.2	9.6	mA
	LPSYS	48MHz	0.537	0.985	mA
		24MHz	0.349	0.639	mA

4.3.3 BLE 功耗

表 4-8: BLE 功耗

符号	条件	3.3V 供电 ^a (典型值)	1.8V 供电 ^b (典型值)	单位
$I_{\Delta TX}$	$TX_{POWER}=0dBm$	2.9	5.0	mA
$I_{\Delta TX}$	$TX_{POWER}=4dBm$	5.5	9.2	mA
$I_{\Delta TX}$	$TX_{POWER}=10dBm$	16.4	3.0 ^c	mA
			14.6 ^d	mA
$I_{\Delta RX}$		2.0	3.6	mA
I_{SLEEP}		2.7	5.0	uA

^a 表 4-8 中, 3.3V 供电是指 VDD1、VDD2、AVDD33、AVDD_DSI、AVDD_BRF 均为 3.3V 供电。

^b 1.8V 供电是指 VDD1、VDD2、AVDD_DSI、AVDD_BRF 均为 1.8V 供电, AVDD33 为 3.3V 供电。

^c 1.8V 供电, $TX_{POWER}=10dBm$ 时, VDD1、VDD2、AVDD33、AVDD_DSI、AVDD_BRF 上总功耗约为 3.0mA。

^d 1.8V 供电, $TX_{POWER}=10dBm$ 时, AVDD33 上功耗约为 14.6mA。

4.3.4 BLE ADV 场景

表 4-9: BLE ADV 场景

符号	条件		3.3V 供电 (典型值)	1.8V 供电 (典型值)	单位
	BT 发射功率	ADV 间隔			
$I_{ADV_AVERAGE}$	0dBm	50ms	151	276.8	uA
		200ms	43	78.8	uA
		500ms	17.9	32.9	uA
		1000ms	10.5	19.2	uA

4.3.5 BLE 连接场景

表 4-10: BLE 连接场景

符号	条件		3.3V 供电 ^a (典型值)	1.8V 供电 ^b (典型值)	单位
	BT 发射功率	连接间隔			
$I_{连接_AVERAGE}$	0dBm	50ms	106.1	194.5	uA
		200ms	30.1	55.1	uA
		500ms	14.7	26.9	uA
		1000ms	9.5	17.5	uA

^a 以上 3.3V 供电功耗数据是基于 1.8V 供电测试数据的计算值 (假定 3.3V 供电, 电源转换效率 100%), 计算公式: $I_{3.3V} = I_{1.8V} \times 1.8/3.3$ 。

^b 以上功耗为 SF32LB55x 芯片供电引脚 VDD1、VDD2、AVDD33、AVDD_DSI 和 AVDD_BRF 电流之和。

4.4 蓝牙射频

4.4.1 发射机性能

表 4-11: 发射机性能—1Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			10		dBm
RF power control range		-20		10	dBm
Adjacent channel transmit power (@+10dm transmit power)	$F = F_0 + 1\text{MHz}$		-40		dBm
	$F = F_0 - 1\text{MHz}$		-40		dBm
	$F = F_0 + 2\text{MHz}$		-45		dBm
	$F = F_0 - 2\text{MHz}$		-45		dBm
	$F = F_0 + 3\text{MHz}$		-45		dBm
	$F = F_0 - 3\text{MHz}$		-45		dBm
	$F = F_0 + >3\text{MHz}$		-45		dBm
	$F = F_0 - >3\text{MHz}$		-45		dBm
$\Delta f_{1\text{avg}}$ Maximum modulation		225	250	275	kHz
$\Delta f_{2\text{max}}$ Minimum modulation		185	210		kHz
$\Delta f_{2\text{avg}} / \Delta f_{1\text{avg}}$		0.8	0.89		
ICFT		-150	± 20	150	kHz
Drift rate		-20	± 4	20	kHz/50us
Drift		-50	± 4	50	kHz
Harmonic spur (@+10dm transmit power)	Second harmonic		-55		dBm
	Third harmonic		-55		dBm

表 4-12: 发射机性能—2Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			10		dBm
RF power control range		-20		10	dBm
Adjacent channel transmit power (@+10dm transmit power)	$F = F_0 + 4\text{MHz}$		-40		dBm
	$F = F_0 - 4\text{MHz}$		-40		dBm
	$F = F_0 + 5\text{MHz}$		-40		dBm
	$F = F_0 - 5\text{MHz}$		-40		dBm
	$F = F_0 + >5\text{MHz}$		-40		dBm
	$F = F_0 - >5\text{MHz}$		-40		dBm
$\Delta f_{1\text{avg}}$ Maximum modulation		450	500	550	kHz
$\Delta f_{2\text{max}}$ Minimum modulation		370	420		kHz
$\Delta f_{2\text{avg}} / \Delta f_{1\text{avg}}$		0.8	0.89		
ICFT		-150	± 20	150	kHz
Drift rate		-20	± 4	20	kHz/50us
Drift		-50	± 4	50	kHz
Harmonic Spur (@+10dm transmit power)	Second harmonic		-55		dBm
	Third harmonic		-55		dBm

4.4.2 接收机性能

表 4-13: 接收机性能—125Kbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@30.8% PER & 37bytes		-108.5	-108		dBm
Sensitivity with dirty transmit on@30.8% PER & 37bytes		-108	-107.5		dBm
Maximum received signal@30.8% PER			20		dBm
C/I co-channel		0.9	1		dB
Adjacent channel selectivity C/I	F = F0+1MHz		-12		dB
	F = F0-1MHz		-9		dB
	F = F0+2MHz		-48		dB
	F = F0-2MHz		-44		dB
	F = F0+3MHz		-58		dB
	F = F0-3MHz		-44		dB
Adjacent channel selectivity C/I	F = Fimage (F0-4MHz)		-32		dB

表 4-14: 接收机性能—500Kbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@30.8% PER & 37bytes		-105	-104.5		dBm
Sensitivity with dirty transmit on@30.8% PER & 37bytes		-104.3	-104		dBm
Maximum received signal@30.8% PER			20		dBm
C/I co-channel		1.7	2		dB
Adjacent channel selectivity C/I	F = F0+1MHz		-12		dB
	F = F0-1MHz		-9		dB
	F = F0+2MHz		-48		dB
	F = F0-2MHz		-43		dB
	F = F0+3MHz		-58		dB
	F = F0-3MHz		-43		dB
Adjacent channel selectivity C/I	F = Fimage (F0-4MHz)		-31		dB

表 4-15: 接收机性能—1Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty off@30.8% PER & 37bytes		-100.5	-100		dBm
Sensitivity with dirty on@30.8% PER & 37bytes		-99.8	-99.3		dBm
Maximum received signal@30.8% PER			20		dBm
C/I co-channel		6.6	7		dB
Adjacent channel selectivity C/I	$F = F_0 + 1\text{MHz}$		-10		dB
	$F = F_0 - 1\text{MHz}$		-7		dB
	$F = F_0 + 2\text{MHz}$		-43		dB
	$F = F_0 - 2\text{MHz}$		-40		dB
	$F = F_0 + 3\text{MHz}$		-50		dB
	$F = F_0 - 3\text{MHz}$		-40		dB
Adjacent channel selectivity C/I	$F = F_{\text{image}}(F_0 - 4\text{MHz})$	-38	-24		dB
Out of band blocking performance	30MHz 2000MHz		-15		dBm
	2000MHz-2400MHz		-18		dBm
	2500-3000MHz		-15		dBm
	3000MHz-12.5GHz		-10		dBm
Intermodulation			-22		dBm

表 4-16: 接收机性能—2Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty off@30.8% PER & 37bytes		-98	-97.5		dBm
Sensitivity with dirty on@30.8% PER & 37bytes		-96.8	-96.3		dBm
Maximum received signal@30.8% PER			20		dBm
C/I co-channel		6.6	7		dB
Adjacent channel selectivity C/I	$F = F_0 + 2\text{MHz}$		-10		dB
	$F = F_0 - 2\text{MHz}$		-8		dB
	$F = F_0 + 4\text{MHz}$		-44		dB
	$F = F_0 - 4\text{MHz}$		-34		dB
	$F = F_0 + 6\text{MHz}$		-50		dB
	$F = F_0 - 6\text{MHz}$		-24		dB
Adjacent channel selectivity C/I	$F = F_{\text{image}}(F_0 - 4\text{MHz})$	-38	-24		dB
Out of band blocking performance	30MHz 2000MHz		-15		dBm
	2000MHz-2400MHz		-18		dBm
	2500-3000MHz		-15		dBm
	3000MHz-12.5GHz		-10		dBm
Intermodulation			-22		dBm

4.5 IO 驱动能力

表 4-17: IO 驱动能力

DS0	DS1	Driving Capability
0	0	2mA
0	1	4mA
1	0	8mA
1	1	12mA

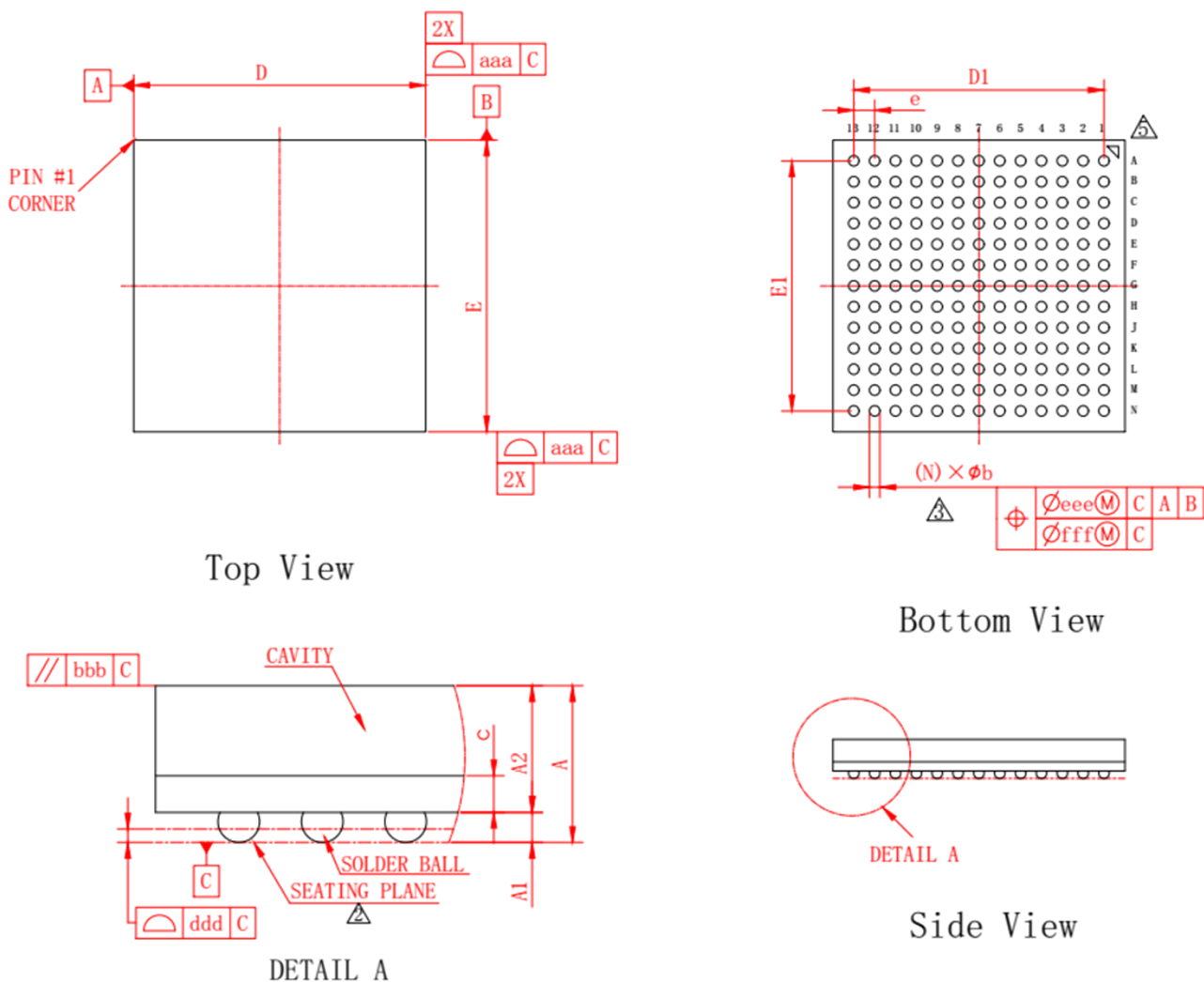
5 封装与硬件

5.1 管脚布局与封装信息

5.1.1 SF32LB557 (BGA169)

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	A1 VDD1	A2 BUCK2_VOUT	A3 BUCK2_VSW	A4 VSS	A5 XTAL32K_XO	A6 XTAL32K_XI	A7 VDDIOB	A8 PB<33>	A9 XTAL48M_XI	A10 XTAL48M_XO	A11 VSS	A12 PB<25>	A13 PB<26>
B	B1 BUCK1_VSW	B2 VDD2	B3 PVSS2	B4 LDOVCC2_VOUT	B5 PB<38>	B6 PB<43>	B7 PB<39>	B8 PB<32>	B9 PB<28>	B10 AVSS1	B11 VSS	B12 PB<24>	B13 PB<27>
C	C1 BUCK1_VOUT	C2 VDD_RET	C3 VDD_RTC	C4 PB<41>	C5 PB<48>	C6 PB<44>	C7 PB<34>	C8 PB<31>	C9 PB<29>	C10 PB<11>	C11 PB<22>	C12 AVSS2	C13 AVSS4
D	D1 LDO_VOUT2	D2 PVSS1	D3 RSTN	D4 PB<40>	D5 PB<47>	D6 PB<46>	D7 PB<36>	D8 PB<30>	D9 PB<8>	D10 PB<14>	D11 NC	D12 AVSS3	D13 ANT
E	E1 LDO_VOUT1	E2 VSS	E3 PA<78>	E4 PA<79>	E5 PA<80>	E6 PB<45>	E7 PB<37>	E8 PB<35>	E9 NC	E10 PB<10>	E11 PB<20>	E12 AVDD_BRF	E13 AVSS5
F	F1 VDD_SIP	F2 VSS	F3 PA<77>	F4 PA<66>	F5 PA<51>	F6 PA<48>	F7 PA<46>	F8 PB<5>	F9 PB<6>	F10 PB<19>	F11 PB<15>	F12 AVDD33	F13 SDMADC_VREF
G	G1 PA<68>	G2 PA<70>	G3 PA<67>	G4 PA<65>	G5 PA<53>	G6 PA<47>	G7 PA<45>	G8 PA<18>	G9 PB<4>	G10 PB<9>	G11 PB<16>	G12 AVSS33	G13 SDMADC_INPUT
H	H1 PA<64>	H2 DSI_DP1	H3 DSI_DN1	H4 PA<63>	H5 PA<44>	H6 PA<29>	H7 PA<27>	H8 PA<20>	H9 PA<4>	H10 PA<14>	H11 PA<6>	H12 PB<23>	H13 SDMADC_VSS_VREF
J	J1 DSI_REXT	J2 DSI_CLKP	J3 DSI_CLKN	J4 PA<55>	J5 PA<34>	J6 PA<31>	J7 PA<25>	J8 PA<15>	J9 PA<12>	J10 PA<10>	J11 PB<13>	J12 PB<17>	J13 PB<18>
K	K1 AVDD_DSI	K2 DSI_DP0	K3 DSI_DN0	K4 PA<54>	K5 PA<43>	K6 PA<36>	K7 PA<28>	K8 PA<26>	K9 MODE	K10 PA<8>	K11 PA<0>	K12 NC	K13 PB<12>
L	L1 AVSS_DSI	L2 PA<58>	L3 PA<56>	L4 PA<52>	L5 PA<38>	L6 PA<37>	L7 PA<23>	L8 PA<30>	L9 PA<22>	L10 PA<2>	L11 NC	L12 VSS	L13 NC
M	M1 PA<62>	M2 PA<60>	M3 VSS	M4 PA<50>	M5 PA<41>	M6 PA<35>	M7 PA<32>	M8 PA<19>	M9 PA<24>	M10 PA<11>	M11 PA<7>	M12 PA<3>	M13 NC
N	N1 PA<61>	N2 PA<59>	N3 PA<57>	N4 PA<49>	N5 PA<42>	N6 VDDIOA	N7 PA<33>	N8 PA<21>	N9 PA<17>	N10 PA<13>	N11 PA<9>	N12 PA<5>	N13 PA<1>

图 5-1: SF32LB557 (BGA169) 管脚布局 (俯视图)



symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.840	0.940	1.040	0.033	0.037	0.041
A1	0.130	0.180	0.230	0.005	0.007	0.009
A2	0.710	0.760	0.810	0.028	0.030	0.032
c	0.180	0.220	0.260	0.007	0.009	0.010
D	6.900	7.000	7.100	0.272	0.276	0.280
E	6.900	7.000	7.100	0.272	0.276	0.280
D1	---	6.000	---	---	0.236	---
E1	---	6.000	---	---	0.236	---
e	---	0.500	---	---	0.020	---
b	0.200	0.250	0.300	0.008	0.010	0.012
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.050			0.002		
Ball Diam	0.250			0.010		
N	169			169		
MD/ME	13/13			13/13		

TECHNOLOGY SPECIFICATION[技术要求]

1. BALL PAD OPENING: 0.230mm; [球形防焊开口: 0.230mm;]

△ PRIMARY DATUM C AND SEATING PLANE ARE THE SOLDER BALLS;

[主要基准C和底面是锡球;]

△ DIMENSION b IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C; [尺寸b是测量最大锡球直径, 平行于主要基准C;]

4. SPECIAL CHARACTERISTICS C CLASS: bbb, ddd; [特殊特性C类: bbb, ddd;]

△ THE PATTERN OF PIN 1 FIDUCIAL IS FOR REFERENCE ONLY;

[PIN 1 标识仅供参考;]

6. BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES;

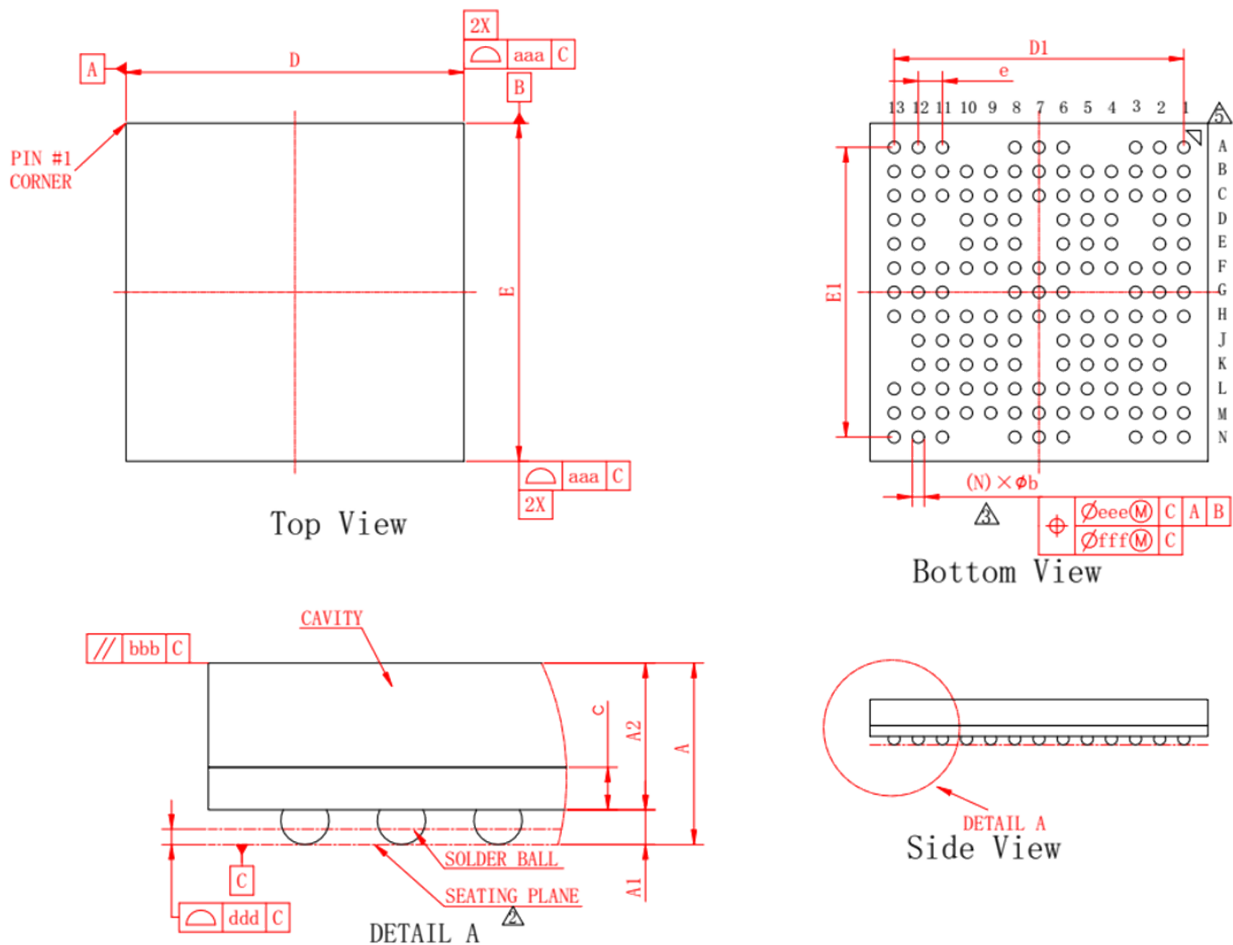
[禁止使用一级环境管理物质;]

图 5-2: SF32LB557 (BGA169) 封装信息

5.1.2 SF32LB555 (BGA145)

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	A1 RSTN	A2 VDD1	A3 BUCK2_VSW			A6 VDD_RTC	A7 XTAL32K_XI	A8 XTAL48M_XI			A11 PB<29>	A12 PB<25>	A13 PB<26>
B	B1 BUCK1_VSW	B2 VDD2	B3 BUCK2_VOUT	B4 LDOVCC2_VOUT	B5 VDD_RET	B6 PB<34>	B7 XTAL32K_XO	B8 AVSS1	B9 XTAL48M_XO	B10 PB<28>	B11 PB<30>	B12 PB<24>	B13 PB<27>
C	C1 BUCK1_VOUT	C2 PA<80>	C3 PVSS1	C4 PVSS2	C5 PB<45>	C6 PB<43>	C7 PB<33>	C8 PB<15>	C9 PB<19>	C10 PB<23>	C11 PB<31>	C12 AVSS2	C13 AVSS4
D	D1 LDO_VOUT2	D2 PA<79>		D4 PB<48>	D5 PB<44>	D6 PB<36>		D8 PB<14>	D9 PB<16>	D10 PB<22>		D12 AVSS3	D13 ANT
E	E1 LDO_VOUT1	E2 PA<78>		E4 PB<47>	E5 PB<37>	E6 PB<35>		E8 PB<32>	E9 PB<13>	E10 PB<18>		E12 AVDD_BRF	E13 AVSS5
F	F1 VDD_SIP	F2 PA<77>	F3 PA<70>	F4 PA<68>	F5 PB<46>	F6 VSS	F7 VSS	F8 VSS	F9 PB<12>	F10 PB<17>	F11 PB<11>	F12 AVDD33	F13 SDMADC_VREF
G	G1 PA<66>	G2 PA<65>	G3 DSI_REXT			G6 VSS	G7 VSS	G8 VSS			G11 PB<10>	G12 AVSS33	G13 SDMADC_IINPUT
H	H1 PA<63>	H2 DSI_DP1	H3 DSI_DN1	H4 AVSS_DSI	H5 PA<55>	H6 PA<48>	H7 VSS	H8 MODE	H9 PB<7>	H10 PB<6>	H11 PB<9>	H13 VDDIOB	H13 SDMADC_VSS_VREF
J		J2 DSI_CLKP	J3 DSI_CLKN	J4 AVDD_DSI	J5 PA<54>	J6 PA<47>		J8 PA<30>	J9 PA<20>	J10 PA<10>	J11 PB<5>	J12 PB<8>	
K		K2 DSI_DP0	K3 DSI_DN0	K4 PA<56>	K5 PA<46>	K6 PA<43>		K8 PA<28>	K9 PA<14>	K10 PA<0>	K11 PB<1>	K12 PB<4>	
L	L1 PA<61>	L2 PA<60>	L3 PA<57>	L4 PA<49>	L5 PA<42>	L6 PA<41>	L7 PA<36>	L8 PA<34>	L9 PA<8>	L10 PA<6>	L11 PA<5>	L12 PA<1>	L13 PB<3>
M	M1 PA<58>	M2 PA<53>	M3 PA<51>	M4 PA<44>	M5 PA<38>	M6 PA<37>	M7 PA<35>	M8 PA<29>	M9 PA<25>	M10 PA<21>	M11 PA<19>	M12 PA<7>	M13 PA<3>
N	N1 PA<52>	N2 PA<50>	N3 PA<45>			N6 VDDIOA	N7 PA<31>	N8 PA<27>			N11 PA<23>	N12 PA<17>	N13 PA<9>

图 5-3: SF32LB555 (BGA145) 管脚布局 (俯视图)



symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.840	0.940	1.040	0.033	0.037	0.041
A1	0.130	0.180	0.230	0.005	0.007	0.009
A2	0.710	0.760	0.810	0.028	0.030	0.032
c	0.180	0.220	0.260	0.007	0.009	0.010
D	6.900	7.000	7.100	0.272	0.276	0.280
E	6.900	7.000	7.100	0.272	0.276	0.280
D1	---	6.000	---	---	0.236	---
E1	---	6.000	---	---	0.236	---
e	---	0.500	---	---	0.020	---
b	0.200	0.250	0.300	0.008	0.010	0.012
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.050			0.002		
Ball Diam	0.250			0.010		
N	145			145		
MD/ME	13/13			13/13		

TECHNOLOGY SPECIFICATION[技术要求]

1. BALL PAD OPENING: 0.23mm; [球形防焊开口: 0.23mm;]

△ PRIMARY DATUM C AND SEATING PLANE ARE THE SOLDER BALLS;

[主要基准C和底面是锡球;]

△ DIMENSION b IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER, PARALLEL TO PRIMARY DATUM C; [尺寸b是测量最大锡球直径, 平行于主要基准C;]

4. SPECIAL CHARACTERISTICS C CLASS: bbb, ddd; [特殊特性C类: bbb, ddd;]

△ THE PATTERN OF PIN 1 FIDUCIAL IS FOR REFERENCE ONLY;

[PIN 1 标识仅供参考;]

6. BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES;

[禁止使用一级环境管理物质;]

图 5-4: SF32LB555 (BGA145) 封装信息

5.1.3 SF32LB553 (BGA125)

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	A1 RSTN	A2 VDD1	A3 BUCK2_VSW			A6 VDD_RTC	A7 XTAL32K_XI	A8 XTAL48M_XI			A11 PB<29>	A12 PB<25>	A13 PB<26>
B	B1 BUCK1_VSW	B2 VDD2	B3 BUCK2_VOUT	B4 LDOVCC2_VOUT	B5 VDD_RET	B6 PB<34>	B7 XTAL32K_XO	B8 AVSS1	B9 XTAL48M_XO	B10 PB<28>	B11 PB<30>	B12 PB<24>	B13 PB<27>
C	C1 BUCK1_VOUT	C2 PA<80>	C3 PVSS1	C4 PVSS2	C5 PB<45>	C6 PB<43>		C8 PB<15>	C9 PB<19>	C10 PB<23>	C11 PB<31>	C12 AVSS2	C13 AVSS4
D	D1 LDO_VOUT2	D2 PA<79>		D4 PB<48>	D5 PB<44>			D8 PB<14>	D9 PB<16>	D10 PB<22>		D12 AVSS3	D13 ANT
E	E1 LDO_VOUT1	E2 PA<78>		E4 PB<47>					E9 PB<13>			E12 AVDD_BRF	E13 AVSS5
F	F1 VDD_SIP	F2 PA<77>	F3 PA<70>	F4 PA<68>	F5 PB<46>	F6 VSS	F7 VSS	F8 VSS	F9 PB<12>		F11 PB<11>	F12 AVDD33	F13 SDMADC_VREF
G	G1 PA<66>	G2 PA<65>				G6 VSS	G7 VSS	G8 VSS			G11 PB<10>	G12 AVSS33	G13 SDMADC_INPUT
H	H1 PA<63>				H5 PA<55>	H6 PA<48>	H7 VSS	H8 MODE		H10 PB<6>	H11 PB<9>	H13 VDDIOB	H13 SDMADC_VSS_VREF
J					J5 PA<54>	J6 PA<47>			J9 PA<20>	J10 PA<10>	J11 PB<5>	J12 PB<8>	
K				K4 PA<56>	K5 PA<46>	K6 PA<43>			K9 PA<14>	K10 PA<0>	K11 PB<1>	K12 PB<4>	
L	L1 PA<61>	L2 PA<60>	L3 PA<57>	L4 PA<49>	L5 PA<42>	L6 PA<41>	L7 PA<36>	L8 PA<34>	L9 PA<8>	L10 PA<6>	L11 PA<5>	L12 PA<1>	L13 PB<3>
M	M1 PA<58>	M2 PA<53>	M3 PA<51>	M4 PA<44>	M5 PA<38>	M6 PA<37>	M7 PA<35>		M9 PA<25>	M10 PA<21>	M11 PA<19>	M12 PA<7>	M13 PA<3>
N	N1 PA<52>	N2 PA<50>	N3 PA<45>			N6 VDDIOA	N7 PA<31>	N8 PA<27>			N11 PA<23>	N12 PA<17>	N13 PA<9>

图 5-5: SF32LB553 (BGA125) 管脚布局 (俯视图)

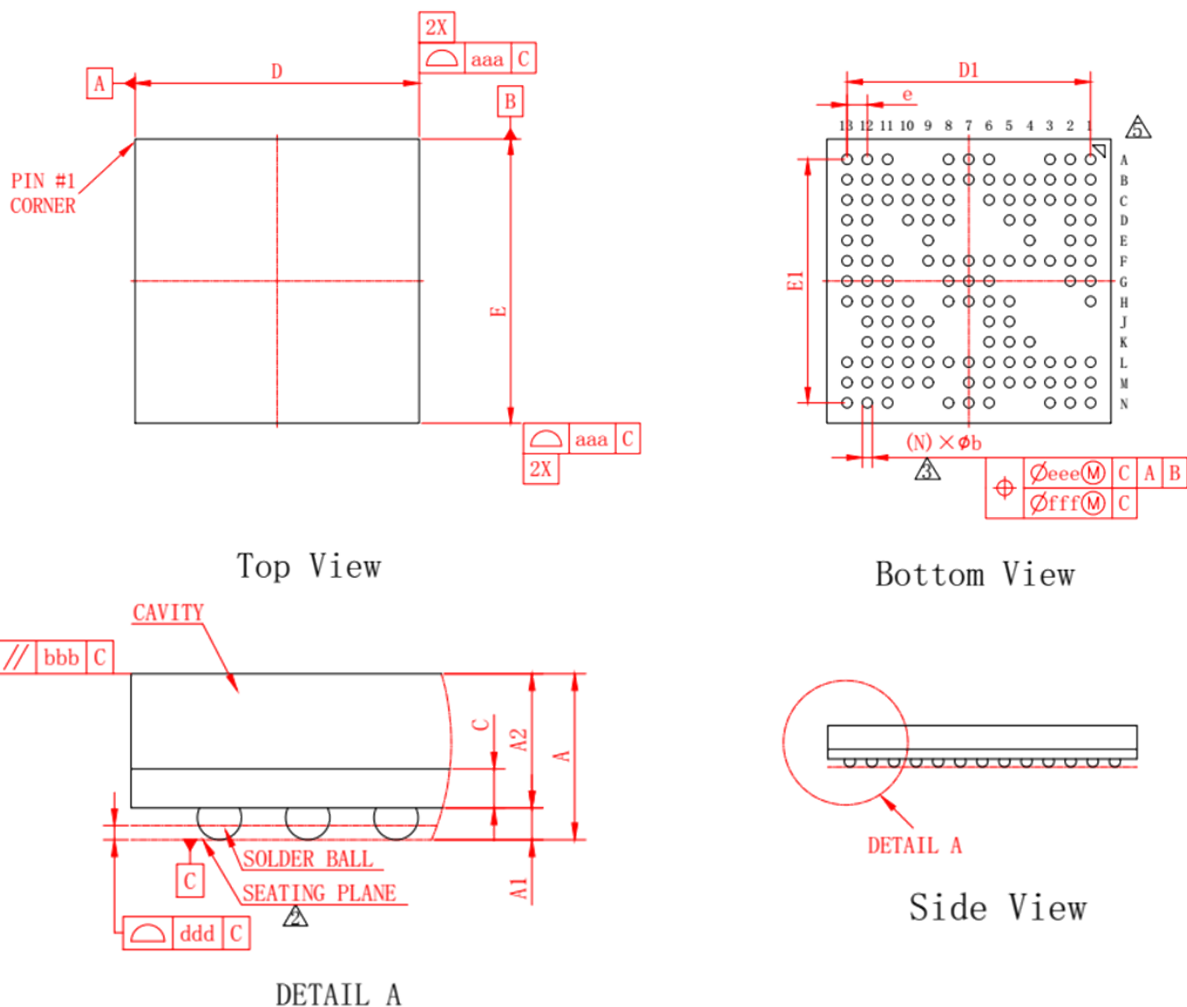


图 5-6: SF32LB553 (BGA125) 封装信息

5.1.4 SF32LB551 (QFN68L)

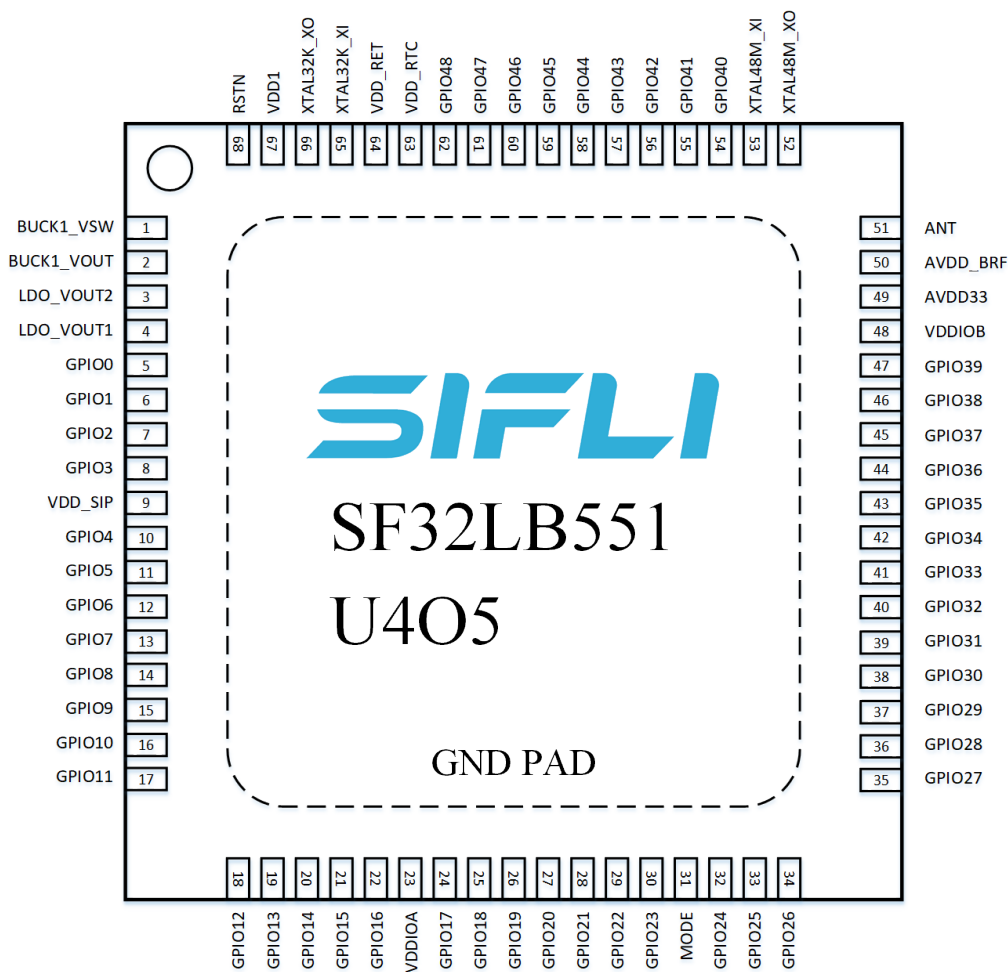


图 5-7: SF32LB551 (QFN68L) 管脚布局 (俯视图)

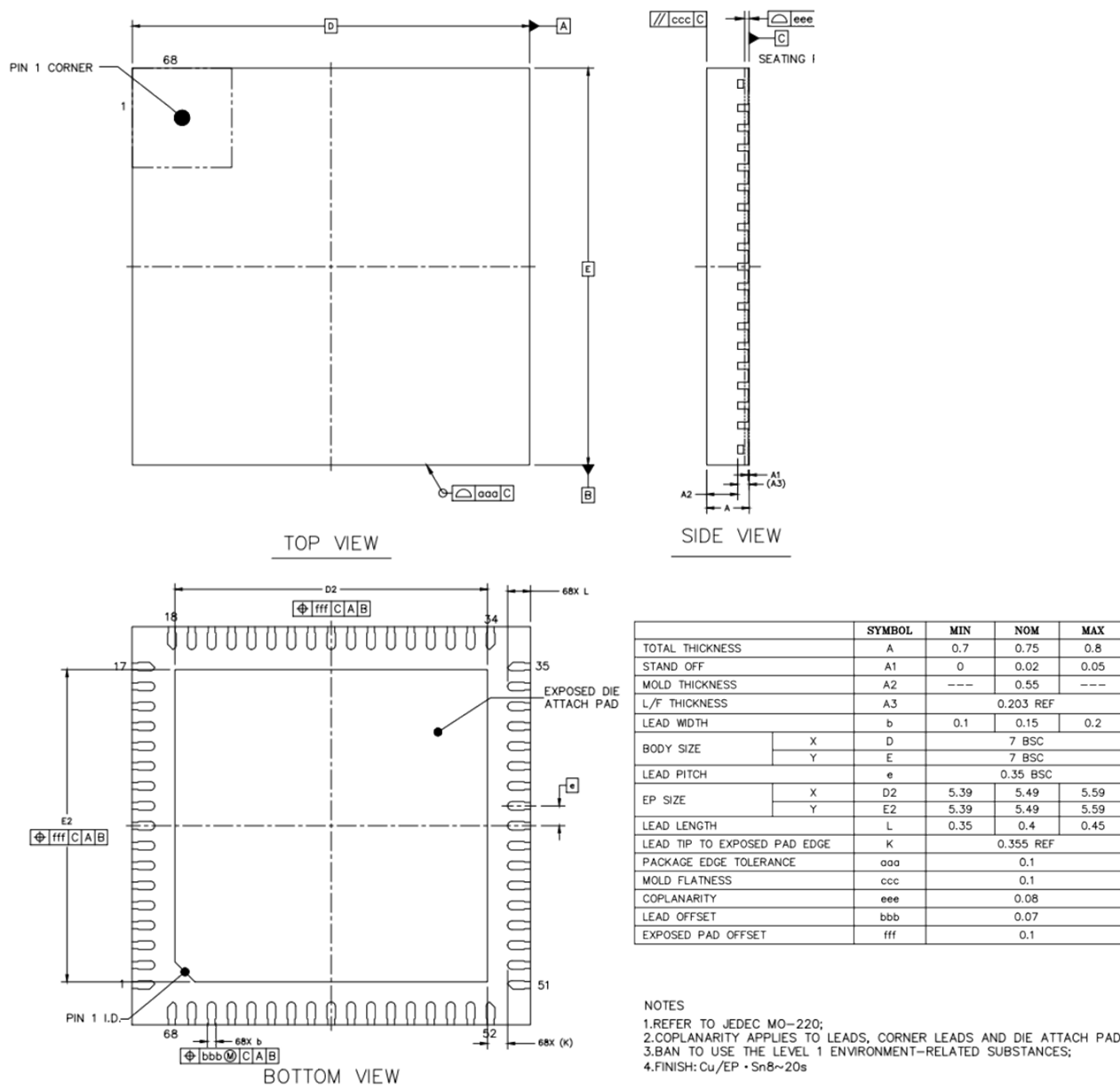


图 5-8: SF32LB551 (QFN68L) 封装信息

5.2 管脚描述

本芯片的管脚类型如表5-1所示，以下将分别对大核域 GPIO、小核域 GPIO、其它专用管脚加以描述。

表 5-1: 管脚类型

Pin Type	Description
I/O	Digital input/output
I	Digital input
O	Digital output
A, I	Analog input
A, O	Analog output
A, I/O	Analog input/output
PWR	Power
GND	Ground

说明:

- 在低功耗场景下，悬空的输入有可能导致开启了输入功能的数字 I/O 的功耗上升，所以在这类 I/O 上需要按照功能配置相应的确定电压，具体方法包括连接在其它芯片的有确定输出电压的 I/O 上，或连接相应的上拉或下拉电阻。

为了有效利用芯片的 I/O 资源，部分模拟 IP 的功能会与数字 GPIO 共享管脚，在后续列表中，#XXX_XX 代表了该 I/O 上同时复用的模拟 IP 功能，这些功能简要列表如表5-2所示。

表 5-2: 数字 GPIO 上复用的模拟 IP 功能

GPIO#	Analog Port Name	Description
PA01	USB_DP	USB 数据通道 +
PA03	USB_DM	USB 数据通道-
PA77~78	WKUP_A0~3	HPSYS 低功耗模式下的按键唤醒 I/O A0~3
PB01	LPCOMP1_P	比较器 1 输入 +
PB03	LPCOMP1_N	比较器 1 输入-
PB04	LPCOMP2_P	比较器 2 输入 +
PB05	LPCOMP2_N	比较器 2 输入 +
PB08	GPADC_CH0	SARADC 输入通道 0
PB10	GPADC_CH1	SARADC 输入通道 1
PB12	GPADC_CH2	SARADC 输入通道 2
PB13	GPADC_CH3	SARADC 输入通道 3
PB16	GPADC_CH4	SARADC 输入通道 4
PB17	GPADC_CH5	SARADC 输入通道 5
PB18	GPADC_CH6	SARADC 输入通道 6
PB19	GPADC_CH7	SARADC 输入通道 7
PB23	SDADC_CH0	SDADC 输入通道 0
PB24	SDADC_CH1	SDADC 输入通道 1
PB25	SDADC_CH2	SDADC 输入通道 2
PB26	SDADC_CH3	SDADC 输入通道 3
PB43~48	WKUP_B0~5	LPSYS 低功耗模式下的按键唤醒 I/O B0~5

5.2.1 大核域 GPIO (PA) 列表

表 5-3: 大核域 GPIO (PA) 管脚列表

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	K10	K10	K11	PA00	I/O	0	GPIO_A0
						1	QSPI3_CLK
						Others	Reserved
35	L12	L12	N13	PA01	I/O	0	GPIO_A1
						1	QSPI3_CS
						3	LPTIM1_IN
						4	PDM1_CLK
						5	I2S1_BCK
						11	#USB_DP
						Others	Reserved
-	-	-	L10	PA02	I/O	0	GPIO_A2
						2	PSRAM_DQ0
						Others	Reserved
34	M13	M13	M12	PA03	I/O	0	GPIO_A3
						1	QSPI3_DIO0
						3	LPTIM1_OUT
						4	PDM1_DATA
						5	I2S1_SDI
						11	#USB_DM
						Others	Reserved
-	-	-	H9	PA04	I/O	0	GPIO_A4
						2	PSRAM_DQ1
						Others	Reserved
-	L11	L11	N12	PA05	I/O	0	GPIO_A5
						1	QSPI3_DIO1
						2	PSRAM_DQ2
						3	UART2_RXD
						4	PDM1_DATA
						Others	Reserved
-	L10	L10	H11	PA06	I/O	0	GPIO_A6
						2	PSRAM_DQ3
						Others	Reserved
-	M12	M12	M11	PA07	I/O	0	GPIO_A7
						1	QSPI3_DIO2
						2	PSRAM_CS
						3	UART2_TXD
						4	PDM1_CLK
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	L9	L9	K10	PA08	I/O	0	GPIO_A8
						1	QSPI3_DIO3
						2	PSRAM_CLK
						3	UART2_CTS
						4	PSRAM_CLKB
						5	I2S1_LRCK
						Others	Reserved
-	N13	N13	N11	PA09	I/O	0	GPIO_A9
						2	PSRAM_DQ4
						3	UART2_RTS
						Others	Reserved
33	J10	J10	J10	PA10	I/O	0	GPIO_A10
						3	I2C1_SCL
						Others	Reserved
-	-	-	M10	PA11	I/O	0	GPIO_A11
						2	PSRAM_DQ5
						Others	Reserved
-	-	-	J9	PA12	I/O	0	GPIO_A12
						2	PSRAM_DQ6
						Others	Reserved
-	-	-	N10	PA13	I/O	0	GPIO_A13
						2	PSRAM_DQ7
						Others	Reserved
32	K9	K9	H10	PA14	I/O	0	GPIO_A14
						3	I2C1_SDA
						10	GPTIM2_CH4
						Others	Reserved
-	-	-	J8	PA15	I/O	0	GPIO_A15
						2	PSRAM_DQS0
						Others	Reserved
-	-	-	-	PA16	I/O	0	GPIO_A16
						Others	Reserved
						Others	Reserved
-	N12	N12	N9	PA17	I/O	0	GPIO_A17
						3	UART1_TXD
						9	LCDC1_DPI_CLK
						Others	Reserved
-	-	-	G8	PA18	I/O	0	GPIO_A18
						2	PSRAM_DQ8
						3	SPI2_DO
						4	SPI2_DIO
						7	LCDC1_SPI_DIO1
						9	LCDC1_DPI_DE
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	M11	M11	M8	PA19	I/O	0	GPIO_A19
						3	UART1_RXD
						9	LCDC1_DPL_R0
						Others	Reserved
30	J9	J9	H8	PA20	I/O	0	GPIO_A20
						2	PSRAM_CLK
						3	SPI2_CLK
						7	LCDC1_SPL_CLK
						8	LCDC1_8080_WR
						10	LCDC1_JDL_SCLK
						11	LCDC1_JDL_VCK
						Others	Reserved
-	M10	M10	N8	PA21	I/O	0	GPIO_A21
						5	I2S2_SDO
						9	LCDC1_DPL_R1
						Others	Reserved
-	-	-	L9	PA22	I/O	0	GPIO_A22
						2	PSRAM_DQ9
						5	SD2_DIO0
						6	SD1_DIO6
						7	LCDC1_SPL_CS
						9	LCDC1_DPL_R2
						Others	Reserved
-	N11	N11	L7	PA23	I/O	0	GPIO_A23
						4	PDM2_CLK
						5	I2S2_BCK
						9	LCDC1_DPL_R3
						Others	Reserved
-	-	-	M9	PA24	I/O	0	GPIO_A24
						2	PSRAM_DQ10
						5	SD2_DIO2
						6	SD1_DIO7
						9	LCDC1_DPL_R4
						Others	Reserved
-	M9	M9	J7	PA25	I/O	0	GPIO_A25
						5	I2S2_LRCK
						9	LCDC1_DPL_R5
						Others	Reserved
-	-	-	K8	PA26	I/O	0	GPIO_A26
						2	PSRAM_DQS1
						5	SD2_CLK
						9	LCDC1_DPL_R6
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	N8	N8	H7	PA27	I/O	0	GPIO_A27
						4	PDM2_DATA
						5	I2S2_SDI
						9	LCDC1_DPL_R7
						Others	Reserved
-	-	K8	K7	PA28	I/O	0	GPIO_A28
						2	PSRAM_DQ0
						6	SD1_DIO0
						9	LCDC1_DPL_G0
						Others	Reserved
-	-	M8	H6	PA29	I/O	0	GPIO_A29
						2	PSRAM_DQ1
						6	SD1_DIO1
						9	LCDC1_DPL_G1
						Others	Reserved
-	-	J8	L8	PA30	I/O	0	GPIO_A30
						2	PSRAM_DQ2
						6	SD1_DIO2
						9	LCDC1_DPL_G2
						Others	Reserved
29	N7	N7	J6	PA31	I/O	0	GPIO_A31
						2	PSRAM_DQ3
						6	SD1_DIO3
						7	LCDC1_SPL_CS
						8	LCDC1_8080_CS
						9	LCDC1_DPL_G3
						10	LCDC1_JDI_SCS
						11	LCDC1_JDI_VST
						Others	Reserved
-	-	-	M7	PA32	I/O	0	GPIO_A32
						2	PSRAM_DQ11
						3	SPI2_DI
						7	LCDC1_SPL_DIO0
						9	LCDC1_DPL_G4
						Others	Reserved
-	-	-	N7	PA33	I/O	0	GPIO_A33
						2	PSRAM_DQ12
						3	SPI2_CS
						7	LCDC1_SPL_DIO2
						9	LCDC1_DPL_G5
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
28	L8	L8	J5	PA34	I/O	0	GPIO_A34
						2	PSRAM_DQ4
						6	SD1_CLK
						7	LCDC1_SPL_DIO0
						8	LCDC1_8080_RD
						9	LCDC1_DPL_G6
						10	LCDC1_JDL_SO
						11	LCDC1_JDL_XRST
						Others	Reserved
-	M7	M7	M6	PA35	I/O	0	GPIO_A35
						2	PSRAM_DQS0
						4	PDM1_CLK
						5	I2S1_BCK
						7	LCDC1_SPL_TE
						8	LCDC1_8080_TE
						9	LCDC1_DPL_G7
						Others	Reserved
27	L7	L7	K6	PA36	I/O	0	GPIO_A36
						2	PSRAM_DQ5
						6	SD1_CMD
						7	LCDC1_SPL_DIO1
						8	LCDC1_8080_DC
						9	LCDC1_DPL_B0
						10	LCDC1_JDL_DISP
						11	LCDC1_JDL_HCK
						Others	Reserved
-	M6	M6	L6	PA37	I/O	0	GPIO_A37
						2	PSRAM_CS
						3	SPI2_CLK
						5	I2S1_LRCK
						7	LCDC1_SPL_RSTB
						8	LCDC1_8080_RSTB
						Others	Reserved
26	M5	M5	L5	PA38	I/O	0	GPIO_A38
						2	PSRAM_DQ6
						7	LCDC1_SPL_DIO2
						8	LCDC1_8080_DIO0
						9	LCDC1_DPL_B1
						10	LCDC1_JDL_EXTCOMIN
						11	LCDC1_JDL_HST
						Others	Reserved
-	-	-	-	PA39	I/O	0	GPIO_A39
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	-	-	-	PA40	I/O	0	GPIO_A40
						Others	Reserved
-	L6	L6	M5	PA41	I/O	0	GPIO_A41
						4	SPI2_DI
						9	LCDC1_DPL_B2
						Others	Reserved
25	L5	L5	N5	PA42	I/O	0	GPIO_A42
						2	PSRAM_DQ7
						7	LCDC1_SPL_DIO3
						8	LCDC1_8080_DIO1
						9	LCDC1_DPL_B3
						11	LCDC1_JDI_ENB
						Others	Reserved
-	K6	K6	K5	PA43	I/O	0	GPIO_A43
						9	LCDC1_DPL_B4
						10	GPTIM1_ETR
						Others	Reserved
24	M4	M4	H5	PA44	I/O	0	GPIO_A44
						1	QSPI3_CLK
						4	SPI2_CLK
						5	I2S2_BCK
						6	SD2_CLK
						8	LCDC1_8080_DIO2
						9	LCDC1_DPL_B5
						10	GPTIM1_CH1
						11	LCDC1_JDI_FRP
						Others	Reserved
22	N3	N3	G7	PA45	I/O	0	GPIO_A45
						1	QSPI3_CS
						4	SPI2_CS
						5	I2S2_LRCK
						6	SD2_CMD
						8	LCDC1_8080_DIO3
						9	LCDC1_DPL_B6
						10	GPTIM1_CH2
						11	LCDC1_JDI_XFRP
						Others	Reserved
-	K5	K5	F7	PA46	I/O	0	GPIO_A46
						3	I2C2_SCL
						4	UART1_CTS
						9	LCDC1_DPL_B7
						10	GPTIM1_CH3
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
21	J6	J6	G6	PA47	I/O	0	GPIO_A47
						1	QSPI3_DIO0
						2	QSPI2_DIO4
						4	SPI2_DI
						5	I2S2_SDI
						6	SD2_DIO0
						7	SD1_DIO4
						8	LCDC1_8080_DIO4
						10	GPTIM1_CH4
						11	LCDC1_JDL_VCOM
						Others	Reserved
-	H6	H6	F6	PA48	I/O	0	GPIO_A48
						3	UART2_TXD
						4	UART1_RTS
						5	I2C2_SDA
						Others	Reserved
20	L4	L4	N4	PA49	I/O	0	GPIO_A49
						1	QSPI3_DIO1
						2	QSPI2_DIO5
						3	UART2_RXD
						4	SPI2_DO
						5	SPI2_DIO
						6	SD2_DIO1
						7	SD1_DIO5
						8	LCDC1_8080_DIO5
						11	LCDC1_JDL_R1
						12	UART1_TXD
						Others	Reserved
-	N2	N2	M4	PA50	I/O	0	GPIO_A50
						3	I2C3_SCL
						4	UART1_TXD
						Others	Reserved
19	M3	M3	F5	PA51	I/O	0	GPIO_A51
						1	QSPI3_DIO2
						2	QSPI2_DIO6
						4	UART1_RXD
						6	SD2_DIO2
						7	SD1_DIO6
						8	LCDC1_8080_DIO6
						11	LCDC1_JDL_R2
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	N1	N1	L4	PA52	I/O	0	GPIO_A52
						2	QSPI2_DIO4
						3	SPI1_CLK
						10	GPTIM2_CH1
						Others	Reserved
-	M2	M2	G5	PA53	I/O	0	GPIO_A53
						2	QSPI2_DIO5
						3	SPI1_CS
						4	UART1_TXD
						10	GPTIM2_CH2
-	J5	J5	K4	PA54	I/O	0	GPIO_A54
						2	QSPI2_DIO6
						3	SPI1_DI
						4	UART1_RXD
						10	GPTIM2_CH3
18	H5	H5	J4	PA55	I/O	0	GPIO_A55
						1	QSPI3_DIO3
						2	QSPI2_DIO7
						6	SD2_DIO3
						7	SD1_DIO7
						8	LCDC1_8080_DIO7
						11	LCDC1_JDL_G1
						Others	Reserved
-	K4	K4	L3	PA56	I/O	0	GPIO_A56
						2	QSPI2_DIO7
						3	SPI1_DO
						4	SPI1_DIO
						10	GPTIM2_CH4
-	L3	L3	N3	PA57	I/O	0	GPIO_A57
						3	I2C3_SDA
						10	GPTIM2_ETR
						Others	Reserved
17	M1	M1	L2	PA58	I/O	0	GPIO_A58
						4	LPTIM1_ETR
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	-	-	N2	PA59	I/O	0	GPIO_A59
						2	PSRAM_DQ13
						5	SD2_CMD
						7	LCDC1_SPL_DIO3
						9	LCDC1_DPL_HSYNC
						Others	Reserved
16	L2	L2	M2	PA60	I/O	0	GPIO_A60
						1	QSPI2_CLK
						6	SD1_CLK
						Others	Reserved
15	L1	L1	N1	PA61	I/O	0	GPIO_A61
						1	QSPI2_CS
						6	SD1_CMD
						Others	Reserved
-	-	-	M1	PA62	I/O	0	GPIO_A62
						2	PSRAM_DQ14
						5	SD2_DIO1
						6	SD1_DIO4
						9	LCDC1_DPL_VSYNC
						Others	Reserved
14	H1	H1	H4	PA63	I/O	0	GPIO_A63
						1	QSPI2_DIO0
						3	SPI2_CS
						6	SD1_DIO0
						10	GPTIM1_ETR
						Others	Reserved
-	-	-	H1	PA64	I/O	0	GPIO_A64
						2	PSRAM_DQ15
						5	SD2_DIO3
						6	SD1_DIO5
						9	LCDC1_DPL_SD
						Others	Reserved
13	G2	G2	G4	PA65	I/O	0	GPIO_A65
						1	QSPI2_DIO1
						3	SPI2_DI
						6	SD1_DIO1
						10	GPTIM1_CH1
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
12	G1	G1	F4	PA66	I/O	0	GPIO_A66
						1	QSPI2_DIO2
						3	SPI2_DO
						4	SPI2_DIO
						6	SD1_DIO2
						10	GPTIM1_CH2
						Others	Reserved
-	-	-	G3	PA67	I/O	0	GPIO_A67
						9	LCDC1_DPI_CM
						Others	Reserved
11	F4	F4	G1	PA68	I/O	0	GPIO_A68
						1	QSPI2_DIO3
						6	SD1_DIO3
						10	GPTIM1_CH3
						Others	Reserved
-	-	-	-	PA69	I/O	0	GPIO_A69
						Others	Reserved
10	F3	F3	G2	PA70	I/O	0	GPIO_A70
						2	PSRAM_CLKB
						4	PDM1_DATA
						5	I2S1_SDI
						10	GPTIM1_CH4
						Others	Reserved
-	-	-	-	PA71	I/O	0	GPIO_A71
						Others	Reserved
-	-	-	-	PA72	I/O	0	GPIO_A72
						Others	Reserved
-	-	-	-	PA73	I/O	0	GPIO_A73
						Others	Reserved
-	-	-	-	PA74	I/O	0	GPIO_A74
						Others	Reserved
-	-	-	-	PA75	I/O	0	GPIO_A75
						Others	Reserved
-	-	-	-	PA76	I/O	0	GPIO_A76
						Others	Reserved

续表下页...

表 5-3: 大核域 GPIO (PA) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
8	F2	F2	F3	PA77	I/O	0	GPIO_A77
						1	#WKUP_A0
						3	I2C3_SCL
						4	SPI2_CLK
						7	LCDC1_SPL_TE
						8	LCDC1_8080_TE
						10	GPTIM2_ETR
						11	LCDC1_JDL_G2
						Others	Reserved
7	E2	E2	E3	PA78	I/O	0	GPIO_A78
						1	#WKUP_A1
						3	I2C3_SDA
						4	SPI2_CS
						7	LCDC1_SPL_RSTB
						8	LCDC1_8080_RSTB
						10	GPTIM2_CH1
						11	LCDC1_JDL_B1
						Others	Reserved
6	D2	D2	E4	PA79	I/O	0	GPIO_A79
						1	#WKUP_A2
						3	I2C2_SCL
						4	SPI2_DO
						5	SPI2_DIO
						10	GPTIM2_CH2
						11	LCDC1_JDL_B2
						Others	Reserved
5	C2	C2	E5	PA80	I/O	0	GPIO_A80
						1	#WKUP_A3
						3	I2C2_SDA
						10	GPTIM2_CH3
						Others	Reserved

说明:

- PA77-80 (WKUP_A0-3) 用于 HPSYS 低功耗模式下的按键唤醒, 可以直接唤醒 HCPU。
- 系统处于冬眠模式 (Hibernate) 时, PA77-80 不能 用于开机唤醒。

5.2.2 小核域 GPIO (PB) 列表

表 5-4: 小核域 GPIO (PB) 管脚列表

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	-	-	-	PB00	I/O	0	GPIO_B0
						4	SPI4_CLK
						7	QSPI4_CLK
						Others	Reserved
36	K11	K11	-	PB01	I/O	0	GPIO_B1
						4	SPI4_CS
						5	LPTIM3_IN
						7	QSPI4_CS
						10	#LPCOMP1_P
						Others	Reserved
-	-	-	-	PB02	I/O	0	GPIO_B2
						4	SPI4_DI
						7	QSPI4_DIO0
						Others	Reserved
37	L13	L13	-	PB03	I/O	0	GPIO_B3
						1	GPTIM4_CH1
						4	SPI4_DO
						5	SPI4_DIO
						7	QSPI4_DIO1
						10	#LPCOMP1_N
						Others	Reserved
38	K12	K12	G9	PB04	I/O	0	GPIO_B4
						1	GPTIM4_CH2
						2	I2C4_SCL
						10	#LPCOMP2_P
						Others	Reserved
39	J11	J11	F8	PB05	I/O	0	GPIO_B5
						1	GPTIM4_CH3
						2	I2C4_SDA
						10	#LPCOMP2_N/ATEST
						Others	Reserved
-	H10	H10	F9	PB06	I/O	0	GPIO_B6
						3	UART5_TXD
						4	SPI3_DI
						Others	Reserved
-	-	H9	-	PB07	I/O	0	GPIO_B7
						3	UART5_RXD
						6	LCDC2_SPI_DIO3
						7	QSPI4_DIO3
						Others	Reserved

续表下页...

表 5-4: 小核域 GPIO (PB) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
40	J12	J12	D9	PB08	I/O	0	GPIO_B8
						1	GPTIM4_ETR
						4	SPI3_DO
						5	SPI3_DIO
						10	#GPADC_CH0
						Others	Reserved
-	H11	H11	G10	PB09	I/O	0	GPIO_B9
						1	GPTIM5_CH1
						3	UART3_CTS
						Others	Reserved
41	G11	G11	E10	PB10	I/O	0	GPIO_B10
						2	I2C4_SDA
						5	LPTIM3_OUT
						10	#GPADC_CH1
						Others	Reserved
-	F11	F11	C10	PB11	I/O	0	GPIO_B11
						2	I2C4_SCL
						3	UART5_RXD
						5	LPTIM3_ETR
						Others	Reserved
-	F9	F9	K13	PB12	I/O	0	GPIO_B12
						1	GPTIM3_CH1
						3	UART4_TXD
						4	SPI3_CLK
						10	#GPADC_CH2
						Others	Reserved
42	E9	E9	J11	PB13	I/O	0	GPIO_B13
						1	GPTIM3_CH2
						4	SPI3_CLK
						10	#GPADC_CH3
						Others	Reserved
-	D8	D8	D10	PB14	I/O	0	GPIO_B14
						1	GPTIM3_CH3
						3	UART4_RXD
						4	SPI3_CS
						Others	Reserved
-	C8	C8	F11	PB15	I/O	0	GPIO_B15
						1	GPTIM3_CH4
						3	UART4_CTS
						Others	Reserved

续表下页...

表 5-4: 小核域 GPIO (PB) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
43	D9	D9	G11	PB16	I/O	0	GPIO_B16
						3	UART3_RTS
						4	SPI3_DO
						5	SPI3_DIO
						10	#GPADC_CH4
						Others	Reserved
-	-	F10	J12	PB17	I/O	0	GPIO_B17
						1	GPTIM5_CH2
						3	UART5_RTS
						6	LCDC2_SPI_RSTB
						10	#GPADC_CH5
						Others	Reserved
-	-	E10	J13	PB18	I/O	0	GPIO_B18
						3	UART5_CTS
						6	LCDC2_SPI_TE
						10	#GPADC_CH6
						Others	Reserved
44	C9	C9	F10	PB19	I/O	0	GPIO_B19
						1	GPTIM5_ETR
						4	SPI3_DI
						10	#GPADC_CH7
						Others	Reserved
-	-	-	E11	PB20	I/O	0	GPIO_B20
						1	GPTIM3_ETR
						Others	Reserved
-	-	-	-	PB21	I/O	0	GPIO_B21
						1	GPTIM4_CH4
						7	QSPI4_DIO2
						Others	Reserved
-	D10	D10	C11	PB22	I/O	0	GPIO_B22
						3	UART4_RTS
						Others	Reserved
45	C10	C10	H12	PB23	I/O	0	GPIO_B23
						1	GPTIM5_CH1
						4	SPI3_CS
						10	#SDADC_CH0
						Others	Reserved
46	B12	B12	B12	PB24	I/O	0	GPIO_B24
						1	GPTIM5_CH2
						5	LPCOMP1_OUT
						10	#SDADC_CH1/ACTEST_P
						Others	Reserved

续表下页...

表 5-4: 小核域 GPIO (PB) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
47	A12	A12	A12	PB25	I/O	0	GPIO_B25
						1	GPTIM5_CH3
						5	LPCOMP2_OUT
						10	#SDADC_CH2/ACTEST_N
						Others	Reserved
-	A13	A13	A13	PB26	I/O	0	GPIO_B26
						1	GPTIM5_CH4
						3	UART5_CTS
						10	#SDADC_CH3
						Others	Reserved
-	B13	B13	B13	PB27	I/O	0	GPIO_B27
						3	UART5_RTS
						Others	Reserved
-	B10	B10	B9	PB28	I/O	0	GPIO_B28
						3	UART3_CTS
						Others	Reserved
54	A11	A11	C9	PB29	I/O	0	GPIO_B29
						2	I2C6_SCL
						3	UART3_RTS
						Others	Reserved
-	B11	B11	D8	PB30	I/O	0	GPIO_B30
						2	I2C6_SDA
						Others	Reserved
55	C11	C11	C8	PB31	I/O	0	SWCLK
						1	GPIO_B31
						3	UART3_TXD
						Others	Reserved
-	-	E8	B8	PB32	I/O	0	GPIO_B32
						4	SPI4_CLK
						6	LCDC2_SPI_CLK
						7	QSPI4_CLK
						Others	Reserved
-	-	C7	A8	PB33	I/O	0	GPIO_B33
						4	SPI4_CS
						6	LCDC2_SPI_CS
						7	QSPI4_CS
						Others	Reserved
56	B6	B6	C7	PB34	I/O	0	SWDIO
						1	GPIO_B34
						3	UART3_RXD
						Others	Reserved

续表下页...

表 5-4: 小核域 GPIO (PB) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
-	-	E6	E8	PB35	I/O	0	GPIO_B35
						4	SPI4_DI
						6	LCDC2_SPI_DIO0
						7	QSPI4_DIO0
						Others	Reserved
-	-	D6	D7	PB36	I/O	0	GPIO_B36
						4	SPI4_DO
						5	SPI4_DIO
						6	LCDC2_SPI_DIO1
						7	QSPI4_DIO1
-	-	E5	E7	PB37	I/O	0	GPIO_B37
						3	UART5_TXD
						6	LCDC2_SPI_DIO2
						7	QSPI4_DIO2
						Others	Reserved
-	-	-	B5	PB38	I/O	0	GPIO_B38
						Others	Reserved
-	-	-	B7	PB39	I/O	0	GPIO_B39
						2	I2C5_SCL
						3	UART4_TXD
						Others	Reserved
-	-	-	D4	PB40	I/O	0	GPIO_B40
						2	I2C5_SDA
						3	UART4_RXD
						Others	Reserved
-	-	-	C4	PB41	I/O	0	GPIO_B41
						7	QSPI4_DIO3
						Others	Reserved
-	-	-	-	PB42	I/O	0	GPIO_B42
						1	GPTIM5_ETR
						Others	Reserved
57	C6	C6	B6	PB43	I/O	0	GPIO_B43
						1	GPTIM5_CH3
						2	I2C5_SCL
						10	#WKUP_B0
						Others	Reserved
58	D5	D5	C6	PB44	I/O	0	GPIO_B44
						1	GPTIM5_CH4
						2	I2C5_SDA
						10	#WKUP_B1
						Others	Reserved

续表下页...

表 5-4: 小核域 GPIO (PB) 管脚列表 (续)

Pin Number				Pin Name	Type	Sel #	Function
SF32LB551	SF32LB553	SF32LB555	SF32LB557				
QFN68L	BGA125	BGA145	BGA169				
59	C5	C5	E6	PB45	I/O	0	GPIO_B45
						2	I2C6_SCL
						3	UART3_TXD
						10	#WKUP_B2
						Others	Reserved
60	F5	F5	D6	PB46	I/O	0	GPIO_B46
						2	I2C6_SDA
						3	UART3_RXD
						10	#WKUP_B3
						Others	Reserved
61	E4	E4	D5	PB47	I/O	0	GPIO_B47
						3	UART3_CTS
						10	#WKUP_B4
						Others	Reserved
62	D4	D4	C5	PB48	I/O	0	GPIO_B48
						3	UART3_RTS
						10	#WKUP_B5
						Others	Reserved

说明:

- PB43-48 (WKUP_B0-5) 用于 LPSYS 低功耗模式下的按键唤醒, 可以直接唤醒 LCPU。
- 系统处于冬眠模式 (Hibernate) 时, PB43-48 可以用于开机唤醒。

5.2.3 专用管脚 (电源、射频、模拟、数字) 列表

表 5-5: 专用管脚 (电源、射频、模拟、数字) 列表

Pin Number				Pin Name	Type	Description
SF32LB551	SF32LB553	SF32LB555	SF32LB557			
QFN68L	BGA125	BGA145	BGA169			
		J4	K1	AVDD_DSI	PWR	MIPI DSI 电源输入
		H4	L1	AVSS_DSI	GND	MIPI DSI 地
		K3	K3	DSL_DN0	A,I/O	MIPI DSI 数据通道 0-
		K2	K2	DSL_DP0	A,I/O	MIPI DSI 数据通道 0+
		J3	J3	DSL_CLKN	A,I/O	MIPI DSI 时钟信号-
		J2	J2	DSL_CLKP	A,I/O	MIPI DSI 时钟信号 +
		H3	H3	DSL_DN1	A,I/O	MIPI DSI 数据通道 1-
		H2	H2	DSL_DP1	A,I/O	MIPI DSI 数据通道 1+

续表下页...

表 5-5: 专用管脚（电源、射频、模拟、数字）列表（续）

Pin Number				Pin Name	Type	Description
SF32LB551	SF32LB553	SF32LB555	SF32LB557			
QFN68L	BGA125	BGA145	BGA169			
		G3	J1	DSI_REXT	A,I/O	MIPI DSI 外接电阻
67	A2	A2	A1	VDD1	PWR	BUCK1 电源输入
	C3	C3	D2	PVSS1	GND	BUCK1 地
2	C1	C1	C1	BUCK1_VOUT	PWR	BUCK1 输出
1	B1	B1	B1	BUCK1_VSW	PWR	BUCK1 电感开关
	B2	B2	B2	VDD2	PWR	BUCK2 电源输入
	C4	C4	B3	PVSS2	GND	BUCK2 地
	B3	B3	A2	BUCK2_VOUT	PWR	BUCK2 输出
	A3	A3	A3	BUCK2_VSW	PWR	BUCK2 电感开关
9	F1	F1	F1	VDD_SIP	PWR	内置存储芯片电源输入
64	B5	B5	C2	VDD_RET	PWR	RET LDO 输出
63	A6	A6	C3	VDD_RTC	PWR	RTC LDO 输出
4	E1	E1	E1	LDO_VOUT1	PWR	LDO1 输出
3	D1	D1	D1	LDO_VOUT2	PWR	LDO2 输出
	B4	B4	B4	LDOVCC2_VOUT	PWR	LDO2 模式输出
50	E12	E12	E12	AVDD_BRF	PWR	射频电源
49	F12	F12	F12	AVDD33	PWR	3.3V 模拟电源输入
	G12	G12	G12	AVSS33	GND	3.3V 模拟地
23	N6	N6	N6	VDDIOA	PWR	GPIOA 电源
48	H12	H12	A7	VDDIOB	PWR	GPIOB 电源
	B8	B8	B10	AVSS1	GND	模拟地
	C12	C12	C12	AVSS2	GND	模拟地
	D12	D12	D12	AVSS3	GND	模拟地
	C13	C13	C13	AVSS4	GND	模拟地
	E13	E13	E13	AVSS5	GND	模拟地
	F6	F6	A4	VSS	GND	地
	F7	F7	A11	VSS	GND	地
	F8	F8	B11	VSS	GND	地
	G6	G6	E2	VSS	GND	地
	G7	G7	F2	VSS	GND	地
	G8	G8	L12	VSS	GND	地
	H7	H7	M3	VSS	GND	地
68	A1	A1	D3	RSTN	I	复位
31	H8	H8	K9	MODE	I	启动模式
	F13	F13	F13	SDMADC_VREF	A,I	SDMADC 片外参考源输入
	G13	G13	G13	SDMADC_VIN	A,I	SDMADC 独立输入
	H13	H13	H13	SDMADC_GND	GND	SDMADC 独立地
66	B7	B7	A5	XTAL32K_XO	A,I/O	32KHz 晶体接口
65	A7	A7	A6	XTAL32K_XI	A,I/O	32KHz 晶体接口
53	A8	A8	A9	XTAL48M_XI	A,I/O	48MHz 晶体接口
52	B9	B9	A10	XTAL48M_XO	A,I/O	48MHz 晶体接口
51	D13	D13	D13	ANT	A,I/O	天线接口

5.3 订购信息

表 5-6: 订购信息

料号	封装	合封规格	每盘数量 (PCS)
SF32LB551U4O5	QFN68L: 7×7×0.75mm-0.35	32Mb PSRAM + 32Mb NOR Flash	3000
SF32LB555V4O6	BGA145: 7×7×0.94mm-0.5	32Mb PSRAM + 32Mb NOR Flash	3000
SF32LB555V436	BGA145: 7×7×0.94mm-0.5	64Mb PSRAM + 32Mb NOR Flash	3000
SF32LB557VD3A6	BGA169: 7×7×0.94mm-0.5	128Mb PSRAM + 8Mb NOR Flash + 16Mb PSRAM	3000

相关资源

- 《AN0001-SF32LB55x-硬件设计指南》
- 《AN0002-SF32LB55x-EVB 使用指南》
- 《AN0004-SF32LB55x-外围关键器件选型指南》
- 《AN0005-SF32LB55x-OTA 开发指南》
- 《AN0006-SF32LB55x-BLE RF 测试指南》
- 《AN0007-SF32LB55x-脱机下载器使用指南》
- 《AN0008-SF32LB55x-BT3.0 接口应用说明》
- 《AN0009-SF32LB55x-蓝牙开发指南》
- 《AN0010-SF32LB55x-iOS OTA SDK 使用手册》
- 《AN0011-SF32LB55x-Android OTA SDK 使用手册》
- 《AN-SF01-付款码乘车码对接》
- 《AN-SF02-SDK 环境安装指南》
- 《AN-SF03-低功耗开发指南》

免责声明和版权公告

思澈科技（南京）有限公司保留随时对产品和/或本文档进行更正、修改、改进和其他变更的权利，包括其中的信息、参数、链接、URL 地址等。如有变更，恕不另行通知。

思澈科技（南京）有限公司在此未授予任何知识产权的明示或暗示的许可。

SiFLI 和 SiFLI 标识是思澈科技（南京）有限公司的商标。本文档中出现的所有其他商标、服务标记、商品名称、产品名称和标识均属其各自所有者的财产。

地址：江苏自贸区南京片区浦滨路 320 号科创总部大厦 B 座 419-13 200131 邮箱：sales@sifli.com

©2025 思澈科技（南京）有限公司。保留所有权利。