SF32LB52x

芯片技术规格书

V2.4

文档编号：**DS0052-SF32LB52x-CN**

思澈科技（南京）有限公司

http://www.sifli.com

更新历史

文档状态说明

文档状态	版本范围	说明
草稿	0.0.0 ~0.9.9	初稿，非正式发布，信息为初步数据，反映量产前产品的规格与性能，不能保证准确性，随时可能更改，思澈科技将不会主动通知
发布版	1.0.0 ~1.9.9	正式发布，信息有可能还会小范围修正，以便更准确地反映量产产品的规格与性能；如有更改，思澈科技将不会主动通知

本文档更新历史

日期	版本	发布说明
2024-10-12	2.4	增加了 525Ux6、527Ux6 型号的相关信息
2024-08-05	2.3	修正表 4-11 中的单位
2024-06-11	2.2	更新小核相关信息
2024-05-16	2.1	更新温度传感器信息
2024-04-17	2.0	更新 charger 满电电压
2024-04-08	1.9	更新 GPADC 特性
2024-03-28	1.8	更新 CoreMark 功耗效率数据
2024-03-19	1.7	更新定时器描述
2024-03-07	1.6	更新充电模块相关信息
2024-03-06	1.5	增加 IO 驱动能力相关信息
2024-02-23	1.4	调整表格格式
2024-01-29	1.3	补充电源管理相关信息
2024-01-26	1.2	更新 Tstorage 温度范围
2024-01-04	1.1	更新 ADC 和 DAC 相关信息
2023-12-22	1.0	更新基本电气特性数据
2023-11-13	0.9	增加 TXpower=13dBm 功耗数据
2023-10-31	0.8	添加 TXpower=0dBm 功耗数据
2023-10-30	0.7	添加音频性能数据和蓝牙射频数据
2023-08-23	0.6	更新充电模块电气特性数据
2023-07-06	0.5	更正图层和音频相关内容
2023-06-15	0.4	更新管脚列表
2023-06-14	0.3	更新总线架构描述
2023-06-07	0.2	更新充电模块电气特性表
2023-05-29	0.1	初稿

产品概述

SF32LB52x 是一系列用于超低功耗人工智能物联网（AIoT）场景下的高集成度、高性能 MCU 芯片。芯片采用了基于 Arm Cortex-M33 STAR-MC1 处理器的大小核架构，集成高性能 2D/2.5D 图形引擎，双模蓝牙 5.3，以及音频 codec，可广泛用于腕带类可穿戴电子设备、智能移动终端、智能家居等各种应用场景。

芯片中大核性能处理器最高工作频率达 192MHz，单核性能达 787 CoreMark，支持动态频率功耗调节，功耗效率最高可达 4.8uA/CoreMark，在用于提供丰富应用和流畅人机交互所需的高性能算力的同时，还可作为 Sensor Hub 控制多种传感器以及运行蓝牙协议栈，从而很好地兼顾流畅人机交互所需的高计算性能与长待机时间所需的超低功耗运行之间的平衡关系。

芯片内集成 2D/2.5D GPU，主频最高达到 192MHz，支持双图层叠加，alpha 混叠，硬件加速的实时旋转和缩放，以及各种常用图形格式转换。支持硬件加速无损压缩图形解压缩，支持原生动画，可以大幅提高带宽利用率，降低存储成本。芯片内置 LCD 控制器，支持 8080/QSPI 等多种接口，可不依赖于 CPU 自主实现最高 60fps 的全屏刷新帧率，并支持低功耗息屏常显。

集成双模蓝牙 5.3 收发机，经典蓝牙 EDR2 模式最高发射功率 13dBm，接收峰值功耗低至 2.4mA@3.8V，低功耗蓝牙接收灵敏度达到-100dBm（1Mbps），经典蓝牙 EDR2 模式灵敏度-95.5dBm。集成高保真音频 ADC 和 DAC，支持蓝牙通话和连接耳机 MP3 播放。

功能框图

图 0-1: 功能框图

产品特性

CPU 与内存

- 性能处理器/大核（HCPU）
  - 处理器：Arm Cortex-M33 STAR-MC1
  - 主频：最高 192MHz，可调节
  - 单核最高 296 DMIPS，787 EEMBC CoreMark
  - I-Cache + D-Cache：32KB(2-way)+16KB(4-way)
  - SRAM：512KB（全部为 Retention SRAM）
  - CoreMark 功耗效率：低至 23uA/MHz @3.8V
  - 单精度浮点运算单元（FPU）
  - 内存保护单元（MPU）
- 超低功耗处理器/小核（LCPU）
  - 处理器：Arm Cortex-M33 STAR-MC1
  - 主频：最高 24MHz，可调节
  - SRAM：64KB（全部为 Retention SRAM）

无线连接

- 双模蓝牙 5.3，支持 BLE Audio
- 灵敏度：-100dBm（BLE/1Mbps），-96.3dBm（BR），-95.5dBm（EDR2）
- 最大发射功率：13dBm（EDR2/3），19dBm（BR/BLE）
- 接收机峰值功耗（BR）：2.4mA@3.8V

音频

- 1× 高保真 24-bit 音频 DAC
  - Noise floor: 3.7uVrms
  - SNR(with 10kohm load and A-Weighted): 109dB
  - Dynamic Range: 109dB
  - Sample rate: 8k/ 16k/ 11.025k/ 22.05k/ 24k/ 32k/ 44.1k/ 48kHz
  - 支持 192 级数字音量，具有过零检测功能
- 1× 高保真 24-bit 音频 ADC
  - SNR(A-Weighted): 99dB, Dynamic Range: 99dB
  - Sample rate: 8k/ 11.025k/ 12k/ 16k/ 22.05k/ 24k/ 32k/ 44.1k/ 48kHz
  - 数字高通滤波器可用于消除 ADC 的直流偏置
  - 支持单端和全差分输入麦克风
  - Micbias LDO，输出电压为 1.4V~2.8V，输出电流为 0~2mA

图形显示

- 2D/2.5D 图形引擎—ePicasso™2.0
  - 支持硬件加速的旋转、缩放和镜像
  - 最大解析度 512×512
  - 支持 aRGB8565，aRGB8888，L8，A8/4/2，YUV，支持 alpha 混叠
- 无损解压缩加速器—eZip™2.0
  - 硬件无损图形解压缩
  - 支持 eZip-A 原生无损动画
  - 支持与 ePicasso™2.0 联动，无须中间缓存
- LCD 控制器
  - 支持 8080，SPI，Dual-SPI，Quad-SPI
  - 支持单图层与纯色背景图层的 alpha 混叠
  - 独立 LCD 控制器，支持息屏常显模式

存储接口

- 支持合封（SiP）NOR-Flash，接口最高频率 96MHz
- 支持合封（SiP）OPI-PSRAM，接口最高频率 144MHz
- 1×MPI(QSPI)，支持 NOR、NAND、QPI-PSRAM
- 1×SD/SDIO，支持 SD3.0，SDIO3.0，eMMC

其它

- DMA
  - 通用 DMA：用于与外设间高效率数据搬运
  - extDMA：用于与外部存储间高效率数据搬运
- 安全
  - AES 加速器
  - HASH 加速器
  - CRC 加速器
  - 真随机数发生器（TRNG）
  - PSA Certified Level 1 认证
- 定时器
  - 2×16b GPTIM，2×32b BTIM，1×32b ATIM，2×24b LPTIM
  - 1×RTC
  - 2× 看门狗 24b WDT，1× 独立看门狗 IWDT
- 模拟
  - 1×12-bit 通用 SAR ADC，共 8 通道
  - 1× 片上温度传感器
  - 1×24-bit 音频 ADC，1×24-bit 音频 DAC
- 连接外设
  - 最多 45 个 GPIO
  - 3×UART，4× I^2C，2×SPI
  - 1× I^2S，1× PDM
  - 1×USB2.0 FS
  - 外设任务控制器（PTC）
- 电源管理

- 内置高效率 Buck 及低功耗 LDO
- 提供两路对外 3.3V 供电，最大电流 150mA×2
- 休眠功耗：2uA
- 内置 560mA 锂电池线性充电器，支持 4.2V-4.45V 满电电压
- VBAT 电压范围：3.2V-4.7V
- VBUS 电压范围：4.6V-5.5V

封装

- QFN68L，44 个 GPIO，7mm×7mm×0.85mm

应用场景

智能穿戴

- 高端智能手表
- 智能手环
- 可穿戴医疗器材
- 健身器材

工业

- 高性价比显示方案
- 图形化人机交互设备
- 工业传感器控制中心
- 工业设备监测
- 工业仪器仪表

车载

- 电动车中控设备
- 汽车钥匙
- 穿戴式汽车遥控设备

家庭自动化

- 中小型智能家电
- 智能门锁

通用

- 低功耗传感器中心
- 蓝牙 mesh

目录

插图

表格

1 芯片总览

1.1 系统架构

SF32LB52x 是一系列用于超低功耗人工智能物联网（AIoT）场景下的高集成度、高性能 MCU 芯片。芯片采用了基于 Arm Cortex-M33 STAR-MC1 处理器的大小核架构，其中：

- 性能处理器/大核（HCPU）：配备 32KB 指令缓存（I-Cache）和 16KB 数据缓存（D-Cache），512KB SRAM（全部为 Retention SRAM）。最高主频 192MHz，可动态切换 D 挡和 S 挡，高效访问片内和片外存储。作为系统主控，S 挡主要用于系统控制、人机交互、高性能计算等；同时作为低功耗传感器中心，D 挡可用于低功耗场景下的各种数据采集和处理。
- 超低功耗处理器/小核（LCPU）：最高主频 24MHz，64KB SRAM（全部为 Retention SRAM），用于低功耗蓝牙的传输控制和基本数据处理。

1.2 Cortex-M33 STAR-MC1 “星辰”处理器

Cortex-M33 STAR-MC1 处理器是安谋中国（Arm China）推出的“星辰”系列产品的第一款处理器，该处理器继承了 Cortex-M33 的主要特点，支持现有的 Arm v8-M 架构的全部功能，具有有序（in order）三级流水线，可显著降低系统功耗，具有部分双发射 16 位指令能力，并进一步改进了协处理器接口，增加了对缓存（Cache）的支持。

Cortex-M33 STAR-MC1 性能达到 1.5DMIPS/MHz 和 4.02Coremark/MHz，与上一代同档位 Arm 处理器相比，在相同主频下，Cortex-M33 STAR-MC1 的性能提升 20%。

Cortex-M33 STAR-MC1 提供了协处理器（Coprocessor）接口，以便根据不同场景需求进一步提高定制计算的能力。通过 MCR（Move from Coprocessor to Register）和 MRC（Move from Register to Coprocessor）指令，可以在 Cortex-M33 STAR-MC1 和协处理器之间转移寄存器数据和计算结果数据，非常适合所需数据量不大、计算复杂但相对碎片化、延迟较小的运算。在协处理器计算的同时，Cortex-M33 STAR-MC1 处理器仍然可以并行执行其它指令，从而明显提高执行效率。

此外，该处理器还支持数字信号处理（DSP）指令集和浮点数运算单元（FPU）。

Cortex-M33 STAR-MC1 引入了紧耦合内存（TCM）和缓存（Cache）技术，增强了各种不同特点的内置和外置存储系统的使用灵活性，确保在各种不同场景下处理器响应的实时性和计算效率。

1.3 性能处理器（大核）系统（HPSYS）

1.3.1 总线架构

HPSYS 内部提供了基于 AHB 协议的总线矩阵，支持多个主设备并行访问多个从设备地址空间。

如图1-1所示，总线主设备位于上侧，从设备地址空间位于右侧，交叉处的黑色圆点代表总线连通。

HCPU 与 DMAC1 能够访问 HPSYS 的所有地址空间。

DTCM 与 HPSYS_RAM0 共享 128KB 地址空间，可由 HCPU 及其它主设备访问。

HP_PERI 包含 APB 相关外设以及 AHB 相关外设，可由 HCPU、DMAC1 以及 PTC1 访问。

多个主设备同时访问同一个从设备地址空间时，基于轮询仲裁原则决定访问次序。

图中边框不相连的多个主设备同时访问不同从设备地址空间时，互相不受影响。边框相连的两个主设备同时发起访问时，基于固定优先级或轮询仲裁原则决定访问次序。

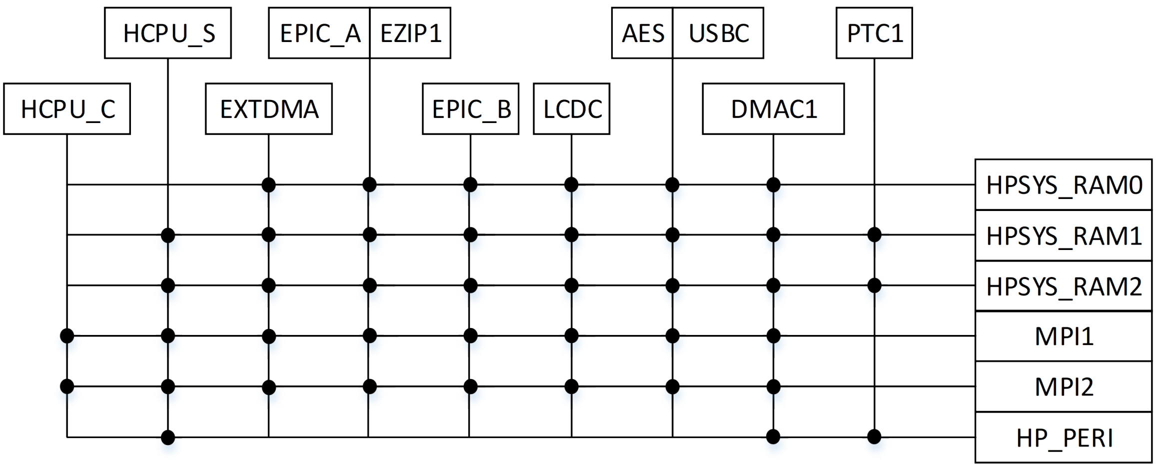


图 1-1: 性能处理器（大核）系统总线架构

1.3.2 时钟架构

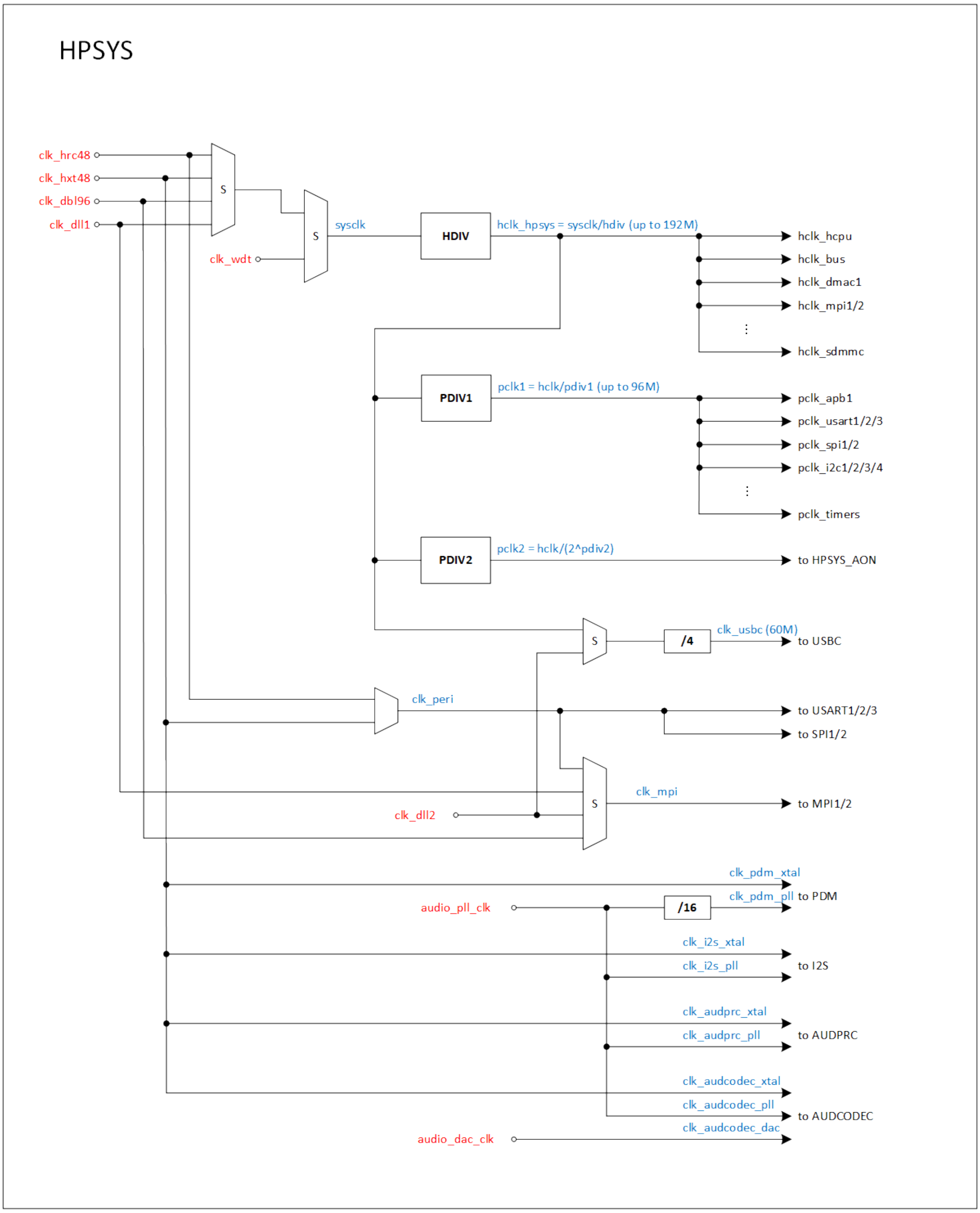


图 1-2: **HPSYS 时钟架构**

1.3.3 存储器类型

1.3.3.1 Cache

HCPU 配置有 32KB 2-way I-Cache（一级指令缓存）和 16KB 4-way D-Cache（一级数据缓存），可大幅提升 XIP 时 CPU 执行效率。软件需合理配置 MPU（Memory Protection Unit）设置 cache 地址段和非 cache 地址段，兼顾效率和易用性。

1.3.3.2 TCM

HCPU 配置有 128KB zero-wait-cycle D-TCM，地址空间为 0x2000_0000-0x2001_FFFF，可用于放置对实时性要求较高的代码和数据。该 TCM memory 挂在总线上，可以被其他 AHB master 访问。

1.3.3.3 SRAM

HPSYS 总线上共有 512KB SRAM，其中包括：

- 0x2000_0000-0x2001_FFFF，128KB zero-wait-cycle SRAM（与 D-TCM 共享），所有 AHB master 均可访问，最高频率为 192MHz。
- 0x2002_0000-0x2007_FFFF，384KB zero-wait-cycle SRAM，所有 AHB master 均可访问，最高频率为 192MHz。

1.3.3.4 片外 RAM

HPSYS 支持合封四线和八线 pSRAM，地址空间为 0x6000_0000-0x61FF_FFFF，实际可访问地址由外挂颗粒容量决定。接口最高频率为 DDR 144MHz，数据位宽为 8-bit。

1.3.3.5 片外 Flash

HPSYS 支持外挂 NOR/NAND FLASH，其中：

- 0x6000_0000-0x61FF_FFFF 地址段可挂合封 FLASH，推荐使用频率为 96MHz
- 0x6200_0000-0x9FFF_FFFF 地址段可挂外置 FLASH，推荐使用频率为 60MHz

1.3.4 地址映射

表 1-1: HPSYS 地址映射

Category	Memory /IP	Address Space	HCPU				LCPU	
			Starting Address		Ending Address		Starting Address	Ending Address
HPSYS_ITCM		**64KB**	**0x0000_0000**		**0x0000_FFFF**		**NA**	**NA**
	ROM	64KB	0x0000_0000		0x0000_FFFF		-	-
	Reserved	-	-		-		-	-
External Memory		**1024MB**	**0x1000_0000**	**0x6000_0000**	**0x1FFF_FFFF**	**0x9FFF_FFFF**	**0x6000_0000**	**0x9FFF_FFFF**
	MPI1 Memory	32MB	0x1000_0000	0x6000_0000	0x11FF_FFFF	0x61FF_FFFF	0x6000_0000	0x61FF_FFFF
	MPI2 Memory	224MB/992MB	0x1200_0000	0x6200_0000	0x1FFF_FFFF	0x9FFF_FFFF	0x6200_0000	0x9FFF_FFFF
HPSYS_RAM		**512KB**	**0x2000_0000**		**0x2007_FFFF**		**0x2A00_0000**	**0x2A07_FFFF**
	RAM0 (DTCM)	128KB	0x2000_0000		0x2001_FFFF		0x2A00_0000	0x2A01_FFFF
	RAM1	128KB	0x2002_0000		0x2003_FFFF		0x2A02_0000	0x2A03_FFFF
	RAM2	256KB	0x2004_0000		0x2007_FFFF		0x2A04_0000	0x2A07_FFFF
HPSYS_APB1		**256KB**	**0x5000_0000**		**0x5003_FFFF**		**0x5000_0000**	**0x5003_FFFF**
	RCC1	4KB	0x5000_0000		0x5000_0FFF		0x5000_0000	0x5000_0FFF
	ADMA	4KB	0x5000_1000		0x5000_1FFF		0x5000_1000	0x5000_1FFF
	SECU1	4KB	0x5000_2000		0x5000_2FFF		0x5000_2000	0x5000_2FFF
	PINMUX1	4KB	0x5000_3000		0x5000_3FFF		0x5000_3000	0x5000_3FFF
	ATIM1	4KB	0x5000_4000		0x5000_4FFF		0x5000_4000	0x5000_4FFF
	AUDPRC	4KB	0x5000_5000		0x5000_5FFF		0x5000_5000	0x5000_5FFF
	EZIP1	4KB	0x5000_6000		0x5000_6FFF		0x5000_6000	0x5000_6FFF
	EPIC	4KB	0x5000_7000		0x5000_7FFF		0x5000_7000	0x5000_7FFF

续表下页...

表 1-1: HPSYS 地址映射（续）

Category	Memory /IP	Address Space	HCPU		LCPU	
			Starting Address	Ending Address	Starting Address	Ending Address
	LCDC1	4KB	0x5000_8000	0x5000_8FFF	0x5000_8000	0x5000_8FFF
	I2S1	4KB	0x5000_9000	0x5000_9FFF	0x5000_9000	0x5000_9FFF
	Reserved	4KB	0x5000_A000	0x5000_AFFF	0x5000_A000	0x5000_AFFF
	SYSCFG1	4KB	0x5000_B000	0x5000_BFFF	0x5000_B000	0x5000_BFFF
	EFUSEC	4KB	0x5000_C000	0x5000_CFFF	0x5000_C000	0x5000_CFFF
	AES	4KB	0x5000_D000	0x5000_DFFF	0x5000_D000	0x5000_DFFF
	Reserved	4KB	0x5000_E000	0x5000_EFFF	0x5000_E000	0x5000_EFFF
	TRNG	4KB	0x5000_F000	0x5000_FFFF	0x5000_F000	0x5000_FFFF
	Reserved	4KB	0x5001_0000	0x5001_0FFF	0x5001_0000	0x5001_0FFF
	Reserved	4KB	0x5001_1000	0x5001_1FFF	0x5001_1000	0x5001_1FFF
	Reserved	4KB	0x5001_2000	0x5001_2FFF	0x5001_2000	0x5001_2FFF
	Reserved	4KB	0x5001_3000	0x5001_3FFF	0x5001_3000	0x5001_3FFF
	Reserved	4KB	0x5001_4000	0x5001_4FFF	0x5001_4000	0x5001_4FFF
	Reserved	4KB	0x5001_5000	0x5001_5FFF	0x5001_5000	0x5001_5FFF
	Reserved	4KB	0x5001_6000	0x5001_6FFF	0x5001_6000	0x5001_6FFF
	Reserved	4KB	0x5001_7000	0x5001_7FFF	0x5001_7000	0x5001_7FFF
	Reserved	4KB	0x5001_8000	0x5001_8FFF	0x5001_8000	0x5001_8FFF
	Reserved	4KB	0x5001_9000	0x5001_9FFF	0x5001_9000	0x5001_9FFF
	Reserved	4KB	0x5001_A000	0x5001_AFFF	0x5001_A000	0x5001_AFFF
	Reserved	4KB	0x5001_B000	0x5001_BFFF	0x5001_B000	0x5001_BFFF
	Reserved	4KB	0x5001_C000	0x5001_CFFF	0x5001_C000	0x5001_CFFF
	Reserved	4KB	0x5001_D000	0x5001_DFFF	0x5001_D000	0x5001_DFFF
	Reserved	4KB	0x5001_E000	0x5001_EFFF	0x5001_E000	0x5001_EFFF
	Reserved	4KB	0x5001_F000	0x5001_FFFF	0x5001_F000	0x5001_FFFF
	Reserved	128KB	0x5002_0000	0x5003_FFFF	0x5002_0000	0x5003_FFFF
HPSYS_AHB1		**256KB**	**0x5004_0000**	**0x5007_FFFF**	**0x5004_0000**	**0x5007_FFFF**
	Reserved	4KB	0x5004_0000	0x5004_0FFF	0x5004_0000	0x5004_0FFF
	MPI1	4KB	0x5004_1000	0x5004_1FFF	0x5004_1000	0x5004_1FFF
	MPI2	4KB	0x5004_2000	0x5004_2FFF	0x5004_2000	0x5004_2FFF
	Reserved	4KB	0x5004_3000	0x5004_3FFF	0x5004_3000	0x5004_3FFF
	Reserved	4KB	0x5004_4000	0x5004_4FFF	0x5004_4000	0x5004_4FFF
	SDMMC1	4KB	0x5004_5000	0x5004_5FFF	0x5004_5000	0x5004_5FFF
	Reserved	4KB	0x5004_6000	0x5004_6FFF	0x5004_6000	0x5004_6FFF
	USBC	4KB	0x5004_7000	0x5004_7FFF	0x5004_7000	0x5004_7FFF
	CRC1	4KB	0x5004_8000	0x5004_8FFF	0x5004_8000	0x5004_8FFF
	Reserved	28KB	0x5004_9000	0x5004_FFFF	0x5004_9000	0x5004_FFFF
	GFX_RAM	64KB	0x5005_0000	0x5005_FFFF	0x5005_0000	0x5005_FFFF
	Reserved	128KB	0x5006_0000	0x5007_FFFF	0x5006_0000	0x5007_FFFF
HPSYS_APB2		**128KB**	**0x5008_0000**	**0x5009_FFFF**	**0x5008_0000**	**0x5009_FFFF**
	PTC1	4KB	0x5008_0000	0x5008_0FFF	0x5008_0000	0x5008_0FFF
	DMAC1	4KB	0x5008_1000	0x5008_1FFF	0x5008_1000	0x5008_1FFF
	MAILBOX1	4KB	0x5008_2000	0x5008_2FFF	0x5008_2000	0x5008_2FFF
	Reserved	4KB	0x5008_3000	0x5008_3FFF	0x5008_3000	0x5008_3FFF
	USART1	4KB	0x5008_4000	0x5008_4FFF	0x5008_4000	0x5008_4FFF
	USART2	4KB	0x5008_5000	0x5008_5FFF	0x5008_5000	0x5008_5FFF
	USART3	4KB	0x5008_6000	0x5008_6FFF	0x5008_6000	0x5008_6FFF
	GPADC	4KB	0x5008_7000	0x5008_7FFF	0x5008_7000	0x5008_7FFF
	AUDCODEC	4KB	0x5008_8000	0x5008_8FFF	0x5008_8000	0x5008_8FFF
	TSEN	4KB	0x5008_9000	0x5008_9FFF	0x5008_9000	0x5008_9FFF
	Reserved	4KB	0x5008_A000	0x5008_AFFF	0x5008_A000	0x5008_AFFF
	Reserved	4KB	0x5008_B000	0x5008_BFFF	0x5008_B000	0x5008_BFFF
	Reserved	4KB	0x5008_C000	0x5008_CFFF	0x5008_C000	0x5008_CFFF
	Reserved	4KB	0x5008_D000	0x5008_DFFF	0x5008_D000	0x5008_DFFF
	Reserved	4KB	0x5008_E000	0x5008_EFFF	0x5008_E000	0x5008_EFFF
	Reserved	4KB	0x5008_F000	0x5008_FFFF	0x5008_F000	0x5008_FFFF
	GPTIM1	4KB	0x5009_0000	0x5009_0FFF	0x5009_0000	0x5009_0FFF
	Reserved	4KB	0x5009_1000	0x5009_1FFF	0x5009_1000	0x5009_1FFF
	BTIM1	4KB	0x5009_2000	0x5009_2FFF	0x5009_2000	0x5009_2FFF
	Reserved	4KB	0x5009_3000	0x5009_3FFF	0x5009_3000	0x5009_3FFF
	WDT1	4KB	0x5009_4000	0x5009_4FFF	0x5009_4000	0x5009_4FFF
	SPI1	4KB	0x5009_5000	0x5009_5FFF	0x5009_5000	0x5009_5FFF
	SPI2	4KB	0x5009_6000	0x5009_6FFF	0x5009_6000	0x5009_6FFF
	Reserved	4KB	0x5009_7000	0x5009_7FFF	0x5009_7000	0x5009_7FFF
	Reserved	4KB	0x5009_8000	0x5009_8FFF	0x5009_8000	0x5009_8FFF
	Reserved	4KB	0x5009_9000	0x5009_9FFF	0x5009_9000	0x5009_9FFF
	PDM1	4KB	0x5009_A000	0x5009_AFFF	0x5009_A000	0x5009_AFFF
	Reserved	4KB	0x5009_B000	0x5009_BFFF	0x5009_B000	0x5009_BFFF
	I2C1	4KB	0x5009_C000	0x5009_CFFF	0x5009_C000	0x5009_CFFF
	I2C2	4KB	0x5009_D000	0x5009_DFFF	0x5009_D000	0x5009_DFFF
	I2C3	4KB	0x5009_E000	0x5009_EFFF	0x5009_E000	0x5009_EFFF
	I2C4	4KB	0x5009_F000	0x5009_FFFF	0x5009_F000	0x5009_FFFF
HPSYS_AHB2		**64KB**	**0x500A_0000**	**0x500A_FFFF**	**0x500A_0000**	**0x500A_FFFF**
	GPIO1	4KB	0x500A_0000	0x500A_0FFF	0x500A_0000	0x500A_0FFF
	Reserved	60KB	0x500A_1000	0x500A_FFFF	0x500A_1000	0x500A_FFFF
HPSYS_APB3		**64KB**	**0x500B_0000**	**0x500B_FFFF**	**0x500B_0000**	**0x500B_FFFF**
	GPTIM2	4KB	0x500B_0000	0x500B_0FFF	0x500B_0000	0x500B_0FFF
	BTIM2	4KB	0x500B_1000	0x500B_1FFF	0x500B_1000	0x500B_1FFF
	Reserved	56KB	0x500B_2000	0x500B_FFFF	0x500B_2000	0x500B_FFFF

续表下页...

表 1-1: HPSYS 地址映射（续）

Category	Memory /IP	Address Space	HCPU		LCPU	
			Starting Address	Ending Address	Starting Address	Ending Address
HPSYS_APB4		256KB	0x500C_0000	0x500F_FFFF	0x500C_0000	0x500F_FFFF
	HPSYS_AON	4KB	0x500C_0000	0x500C_0FFF	0x500C_0000	0x500C_0FFF
	LPTIM1	4KB	0x500C_1000	0x500C_1FFF	0x500C_1000	0x500C_1FFF
	LPTIM2	4KB	0x500C_2000	0x500C_2FFF	0x500C_2000	0x500C_2FFF
	Reserved	4KB	0x500C_3000	0x500C_3FFF	0x500C_3000	0x500C_3FFF
	Reserved	24KB	0x500C_4000	0x500C_9FFF	0x500C_4000	0x500C_9FFF
	PMUC	4KB	0x500C_A000	0x500C_AFFF	0x500C_A000	0x500C_AFFF
	RTC	4KB	0x500C_B000	0x500C_BFFF	0x500C_B000	0x500C_BFFF
	IWDT	4KB	0x500C_C000	0x500C_CFFF	0x500C_C000	0x500C_CFFF
	Reserved	12KB	0x500C_D000	0x500C_FFFF	0x500C_D000	0x500C_FFFF
	Reserved	64KB	0x500D_0000	0x500D_FFFF	0x500D_0000	0x500D_FFFF
	Reserved	64KB	0x500E_0000	0x500E_FFFF	0x500E_0000	0x500E_FFFF
	Reserved	4KB	0x500F_0000	0x500F_0FFF	0x500F_0000	0x500F_0FFF
	Reserved	60KB	0x500F_1000	0x500F_FFFF	0x500F_1000	0x500F_FFFF

1.3.5 中断列表

表 1-2: HCPU 中断列表

IRQ #	IRQ Source
NMI	WDT1
IRQ[0]	AON
IRQ[1]	LCPU_IRQ[1]
IRQ[2]	LCPU_IRQ[2]
IRQ[3]	LCPU_IRQ[3]
IRQ[4]	LCPU_IRQ[4]
IRQ[5]	LCPU_IRQ[5]
IRQ[6]	LCPU_IRQ[6]
IRQ[7]	LCPU_IRQ[7]
IRQ[8]	LCPU_IRQ[8]
IRQ[9]	LCPU_IRQ[9]
IRQ[10]	LCPU_IRQ[10]
IRQ[11]	LCPU_IRQ[11]
IRQ[12]	LCPU_IRQ[12]
IRQ[13]	LCPU_IRQ[13]
IRQ[14]	LCPU_IRQ[14]
IRQ[15]	LCPU_IRQ[15]
IRQ[16]	LCPU_IRQ[16]
IRQ[17]	LCPU_IRQ[17]
IRQ[18]	LCPU_IRQ[18]
IRQ[19]	LCPU_IRQ[19]
IRQ[20]	LCPU_IRQ[20]
IRQ[21]	LCPU_IRQ[21]
IRQ[22]	LCPU_IRQ[22]
IRQ[23]	LCPU_IRQ[23]
IRQ[24]	rsvd
IRQ[25]	rsvd
IRQ[26]	rsvd
IRQ[27]	rsvd
IRQ[28]	rsvd
IRQ[29]	rsvd
IRQ[30]	rsvd
IRQ[31]	rsvd

续表下页...

表 1-2: HCPU 中断列表（续）

IRQ #	IRQ Source
IRQ[32]	rsvd
IRQ[33]	rsvd
IRQ[34]	rsvd
IRQ[35]	rsvd
IRQ[36]	rsvd
IRQ[37]	rsvd
IRQ[38]	rsvd
IRQ[39]	rsvd
IRQ[40]	rsvd
IRQ[41]	rsvd
IRQ[42]	rsvd
IRQ[43]	rsvd
IRQ[44]	rsvd
IRQ[45]	rsvd
IRQ[46]	LPTIM1
IRQ[47]	LPTIM2
IRQ[48]	PMUC
IRQ[49]	RTC
IRQ[50]	DMAC1_CH1
IRQ[51]	DMAC1_CH2
IRQ[52]	DMAC1_CH3
IRQ[53]	DMAC1_CH4
IRQ[54]	DMAC1_CH5
IRQ[55]	DMAC1_CH6
IRQ[56]	DMAC1_CH7
IRQ[57]	DMAC1_CH8
IRQ[58]	MAILBOX2_CH1
IRQ[59]	USART1
IRQ[60]	SPI1
IRQ[61]	I2C1
IRQ[62]	EPIC
IRQ[63]	LCDC1
IRQ[64]	I2S1
IRQ[65]	GPADC
IRQ[66]	EFUSEC
IRQ[67]	AES
IRQ[68]	PTC1
IRQ[69]	TRNG
IRQ[70]	GPTIM1
IRQ[71]	GPTIM2
IRQ[72]	BTIM1
IRQ[73]	BTIM2
IRQ[74]	USART2
IRQ[75]	SPI2
IRQ[76]	I2C2
IRQ[77]	EXTDMA
IRQ[78]	I2C4
IRQ[79]	SDMMC1

续表下页...

表 1-2: HCPU 中断列表（续）

IRQ #	IRQ Source
IRQ[80]	MAILBOX2_CH2
IRQ[81]	rsvd
IRQ[82]	PDM1
IRQ[83]	rsvd
IRQ[84]	GPIO1
IRQ[85]	MPI1
IRQ[86]	MPI2
IRQ[87]	rsvd
IRQ[88]	rsvd
IRQ[89]	EZIP1
IRQ[90]	AUDPRC
IRQ[91]	TSEN
IRQ[92]	USBC
IRQ[93]	I2C3
IRQ[94]	ATIM1
IRQ[95]	USART3
IRQ[96]	AUD_HP
IRQ[97]	rsvd
IRQ[98]	SECU1
IRQ[99]	rsvd

1.4 电源管理

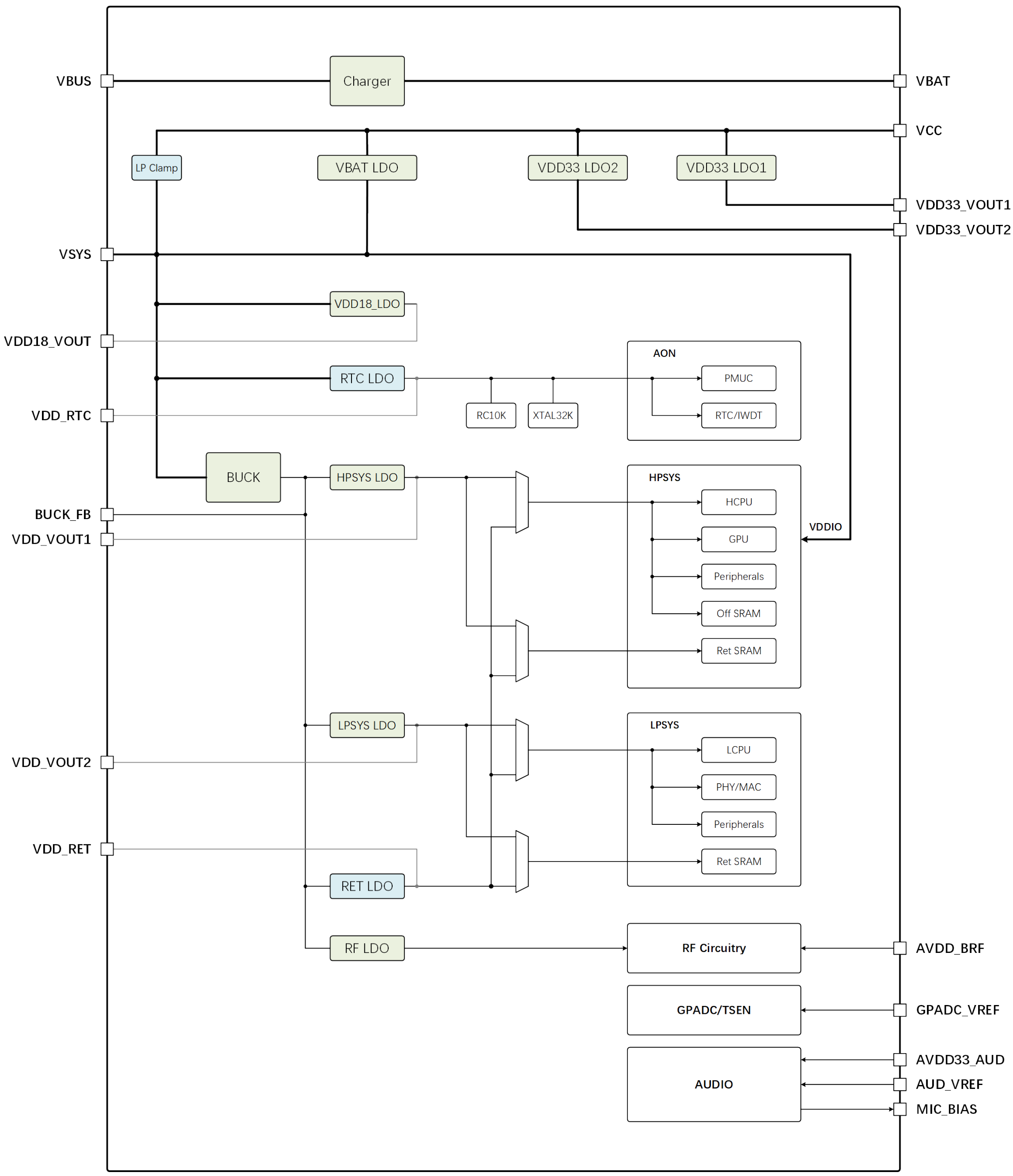


图 1-3: QFN 封装电源管理架构

1.4.1 充电模块

芯片集成了锂电池充电模块。充电电流和满电电压均可调节，充电电流最大支持 560mA。客户可根据电池规格和 VBUS 端线阻的大小，设置相应的参数。

图1-4是电池的充电曲线。当电池电压低于 V_{cc} 时，充电模块处于 Trickle Charge 模式，会以较低的电流 I_{tri} 给电池充电。当电池电压高于 V_{cc} 之后，充电模块处于 Constant Charge 模式，并且以恒流 I_{cc} 充电直到电池电压接近

设置的满电电压 V_{cv}。之后，充电模块就进入 Constant Voltage 模式。在这个模式下，充电电流会慢慢下降，直到电流小于截止充电电流 I_{end}，充电环路自动断开，进入 Charger Full 模式。满电之后，如果电源适配器没有断开，那么电池电压经过一段时间消耗降低到 Re-Charge Threshold，会自动开启充电程序直到电池满电。

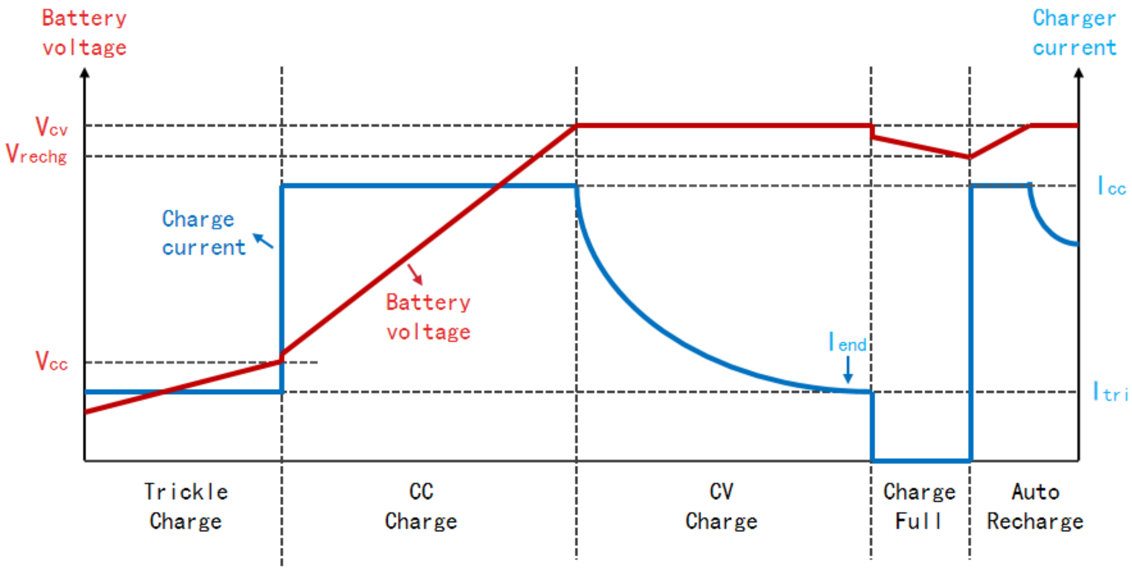


图 1-4: 充电曲线

2 高性能专用计算

2.1 ePicasso™ 高性能 2.5D 图形引擎

在 2.5D 图像处理中，有许多常见的图像运算会耗费大量的 CPU 计算资源。ePicasso™ 则是专为 2.5D 图像运算设计的加速引擎，能够对 2.5D 图像运算中常见图层叠加、缩放、旋转等功能提供指数级的速度提升。除此以外，ePicasso™ 能够兼容各种常见的 RGB 图像格式，简化了系统中不同格式的图像格式转换。

2.1.1 图层叠加

ePicasso™ 最多支持两个前景图层，一个专用的掩膜图层，和一个单色背景图层叠加，输入和输出格式包括常用 RGB565、RGB888、ARGB8565、ARGB8888、L8、A8、A4、A2、YUV。每个前景图层有独立的叠加模式和叠加区域，掩膜图层主要是提取图像中特定的形状。除此以外，每个图层还提供了单独的 filter 配置选项，可以使图层滤除某一特定的颜色，该功能可用于简单的图像捕获。

2.1.2 图形缩放

ePicasso™ 有一个图层称为功能图层，除了支持叠加的功能外，这个功能图层还能够实现图形的缩放。缩放最大比例可以到达 1024 倍，精度则可以达到 1/65536。在 X 和 Y 方向上，缩放的比例可以分别配置，以此适应各种不同的需求。

2.1.3 图形旋转

ePicasso™ 的功能图层除了可以支持缩放的功能以外，还能够支持图像的高精度旋转。用户可以自定义旋转角的 sin/cos 值，来满足任意角度的旋转需求。旋转和缩放的功能可以同时启用，一次性完成图像的两种操作，提高了图像处理的性能。

2.2 LCD 控制器

LCD 控制器主要用于将 Framebuffer 内数据输出至外部显示，现有的 LCD 控制器可以支持常用的屏幕接口包括 DBI、DPI。此外，LCD 控制器还支持压缩格式的图像，使用压缩格式的图像可以显著降低 memory 的使用带宽，提升系统的性能。

2.2.1 显示接口

LCD 控制器主要完成显示用数据到主流显示接口之间的适配，本芯片支持的显示接口有：

2.2.1.1 MIPI-DBI

LCD 控制器可以支持 DBI 接口中的串行 SPI 模式和并行的 8080 模式。对于 SPI 模式，LCD 控制器可以支持 3 线和 4 线两种模式，同时也支持 dual/quad data line 两种工作方式。色彩格式上支持 8-bit RGB332、16-bit RGB565

和 24-bit RGB888。对于 8080 模式，LCD 控制器可以支持 8-bit、16-bit 和 24-bit 的总线位宽，同时支持 RGB332、RGB444、RGB565、RGB666、RGB888 等色彩格式。

2.2.1.2 JDI 反射屏

为了适应可穿戴产品的低功耗需求，JDI 研发超低功耗的反射屏。该屏幕利用太阳光线呈现图像，相较传统 LCD 屏幕耗电可以降低 95% 以上，配备在可穿戴产品上可以实现超长续航。LCD 控制器内也加入了 JDI 反射屏幕接口支持，包括串行接口和并行接口。两种接口最高可以支持到 64 色显示，支持局部刷新和整屏刷新，从而进一步降低屏幕刷新功耗，满足超长续航的需求。

2.3 eZip™ 无损压缩解码器

eZip™ 解码器是基于自有算法的实时无损解压缩模块，压缩率与 Zip 格式相当。它可以用于将通用数据解码后保存，以此加快数据的实时加载能力。如果数据是从芯片外部传输，压缩后的传输有助于缩短传输时间，减少传输功耗。

此外，eZip™ 还支持专有格式的图片压缩，压缩率与 PNG 格式相当，并支持独立 DMA 操作或与 ePicasso™ 联动读取。当独立操作时，eZip™ 可通过 DMA 机制，可以灵活地将存储在 Flash 或 RAM 的压缩图片解压缩并搬运至目标缓存中。在联动模式下，ePicasso™ 通过 eZip™ 模块，实时从存储中读取图片并实时解压缩，然后按照一般的图形流程进行所需要的 2.5D 计算，从而省去了暂存解压缩图片的缓存。

通过以上机制，eZip™ 可以有效地降低图像素材对存储容量的需求，在有限的存储中最大化素材的丰富度，减小对片外存储的带宽要求，从而提高大大系统的整体运行效率。

eZip™ 模块是将 eZip™ 压缩图片进行解码输出的模块。该模块通过 AHB 总线读入压缩数据，解码后的图像数据可配置通过 AHB 总线输出或直接送给 epic 模块进行后续处理。

该模块具有以下特点：

- 通过 AHB 总线输入\输出的数据地址可配
- 输出图片数据可直接送给 epic 模块
- 可输出一个指定区域的图片数据
- 支持解码参数 cache 功能，cache 命中的情况下可缩短解码时间

3 外设

3.1 双模蓝牙 5.3

3.1.1 射频和基带

射频和基带包括发射机和接收机。发射机将基带信号调制到 2.4G 频段上的信号发射出去，接收机将 2.4G 频段空中信号接收解调到基带信号。主要特性为：

- 支持蓝牙 5.3 协议：1M PHY（1Mbps）、2M PHY（2Mbps）、BR PHY（1Mbps）、EDR2 PHY（2Mbps）、EDR3 PHY（3Mbps）
- 集成 AGC
- 支持 RSSI
- 接收机支持自动频偏纠正
- 可调发射功率，BLE/BR PHY 最大发射功率 19dBm，EDR2/EDR3 最大发射功率 13dBm
- 集成 Balun 和天线匹配网络，无需片外匹配

3.1.2 BT MAC

BT MAC 是完全支持蓝牙协议 v5.3 并向下兼容协议 v4.2、v4.1、4.0 的双模基带控制器，主要是负责包的编解码以及事件的调度。

主要的功能如下：

- 低功耗蓝牙模式：
  1. 支持速率（1M/2M）;
  2. 支持所有的包格式（广播包/拓展广播包/数据包等）;
  3. 支持数据的加解密;
  4. 支持数据流的处理（冗余校验、白化）;
  5. 支持两种跳频模式;
- 经典蓝牙模式：
  1. 支持 ACL、CSB、SCO 以及 eSCO 的所有包类型;
  2. 支持数据加解密（E0 加密以及 AES-CCM 加密）;
  3. 支持数据流的处理（HEC、CRC、Whitening、FEC2/3、FEC1/3）;
  4. 支持音频数据的编解码处理（CVSD 以及 a/μ-Law）;
  5. 支持自适应跳频;
- 以及：
  - 支持 AMBA AHB 总线的访问;
  - 支持 WLAN/MWS 的共存机制。

3.2 模拟外设

3.2.1 12 比特模/数转换器

GPADC 包含一个 SARADC，基本功能是将外接输入电压转换为数字信号。GPADC 主要特性为：

- 12-bit 分辨率
- 最大采样率 4MS/s
- 单端输入电压范围：0 ~ 3.3V
- 差分输入电压范围：-2.1V ~ +2.1V
- 支持 7 路单端模拟输入和额外 1 路测量电池电压，或 3 对差分模拟输入
- 支持单次测量模式和循环测量模式
- 每次测量可以划分为 4 个时隙，各时隙可以单独配置模拟输入通道
- 支持软件 (写寄存器) 和硬件 (如计时器) 触发方式
- 支持 DMA 通道
- 采样频率可配

表 3-1: 12-bit GPADC 电气特性

	Min.	Typ.	Max.	Unit	Comments
Resolution		12		bit	
T_{sample} (Differential)	125n		2/3	s	$fs=1/(T_{sample}+T_{conversion})$
T_{sample} (Single-Ended)	166.66n		2/3	s	
$T_{conversion}$	125n		10.67u	s	
Sample rate (fs)			4	Msps	
ENOB (Differential)		10.6		bit	V_{in}=-1dBFs, no averaging
ENOB (Single-Ended)		10		bit	V_{in}=-3dBFs, no averaging
SNDR (Differential)		65.6		dB	V_{in}=-1dBFs, no averaging
SNDR (Single-Ended)		61.96		dB	V_{in}=-3dBFs, no averaging
Current Consumption		466		uA	fs=4Msps
		130		uA	fs=500ksps
		90		uA	fs=100ksps

GPADC 外部源端电路电阻 R_{AIN} 与采样时间的关系表如下：

Resolution (bit)	Number of T_{PCLK} Cycle @24MHz	T_{sample} (ns)	Maximum source resistance R_{AIN} (kOhm)
12	4	166	1
	15	625	5
	30	1250	10
	150	6250	50
	300	12500	100
	1500	62500	500
	15000	625000	5000

3.2.2 温度传感器

温度传感器将温度转换为随温度变化的电压，然后通过 ADC 将该电压转换为数字。系统通过软件调用温度传感器。主要特性为：

- 温度传感器分辨率为 0.2°C
- 支持温度范围为 -40°C 到 125°C
- 温度传感器精度 -3°C 到 3°C
- 支持轮询或中断方式读数

3.2.3 音频 DAC

音频 DAC 是将数字音频信号转化为模拟电压输出的模块，本芯片共集成了一路 24-bit DAC，支持音频采样率从 8KHz 到 48KHz，输出方式支持差分输出。

3.2.4 音频 PLL

音频 PLL 主要功能为音频系统提供高精度的时钟，其支持小数分频功能，调节精度为 48MHz/2^18，能够满足 48KHz、32KHz 和 44.1KHz 等不同采样率的需求。

3.2.5 音频 ADC

音频 ADC 是将外部模拟信号转化为内部的数字音频信号，本芯片共集成了一路 24-bit ADC，支持的音频采样率从 8KHz 到 48KHz，每一路 ADC 有单独的增益调节。

3.3 DMA

3.3.1 ExtDMA

ExtDMA (Extended Direct Memory Access) 能够对总线上两个不同地址区间的数据进行高效率搬运工作。与 DMAC 相比，ExtDMA 在访问外部存储器 (如 FLASH、PSRAM) 时效率更高，但仅有一个通道，仅支持 4 字节对齐搬运，且不响应外设请求。

ExtDMA 主要特性：

- 单个传输通道，内置深度为 16 ，位宽 32 比特的 FIFO
- 源地址和目标地址均为 4 字节访问，并支持地址自动递增
- 单次配置最大传输单元数为 2^20-1，每单元固定 4 字节传输，即单次最大传输 4M 字节
- 每个通道支持传输完成、过半传输、传输出错事件标志，并能各自独立产生中断请求

3.3.2 DMAC

DMAC (Direct Memory Access Controller) 用于实现总线上两个不同地址区间内数据的搬运工作。DMAC 共有 8 个独立通道，每个通道可配置源地址区间与目标地址区间，分别映射到各内存或外设的地址范围内，从而实现内存-内存、内存-外设、外设-内存、外设-外设之间的高效率传输，有效缓解 CPU 的工作量。

DMAC 支持外设响应模式和内存搬运模式：在外设响应模式下，DMAC 基于外设的 DMA 请求进行搬运，从而适配外设的带宽；在内存搬运模式下，DMAC 不等待外设的 DMA 请求，尽快完成数据搬运。当多个通道同时使能时，DMAC 依照优先级由高至低的次序依次搬运；并且在较低优先级的通道搬运过程中，较高优先级的通道能够进行抢占搬运。每个通道传输过半或完成时，能够产生中断或 PTC 触发。

DMAC1 位于 HPSYS，能够响应 HPSYS 外设的 DMA 请求。DMAC2 位于 LPSYS，能够响应 LPSYS 外设的 DMA 请求。

DMAC 主要特性：

- 8 个独立的可配置通道
- 每个通道的 DMA 请求可在至多 64 个外设 DMA 请求中选择 1 个，或由软件请求
- 每个通道支持 4 档优先级配置，优先级相同时依照通道编号大小判决
- 支持内存-内存、内存-外设、外设-内存、外设-外设传输
- 源地址和目标地址均独立支持单字节/双字节/4 字节访问，并支持地址自动递增
- 支持循环缓冲模式，单次传输完成后自动重新启动
- 每个通道支持 3 种事件标志：传输完成、过半传输、传输出错，并能各自独立产生中断或 PTC 触发
- 单次配置最大传输单元数为 65536，每单元根据不同配置分别为单字节/双字节/4 字节传输
- 每个通道支持可配置块尺寸的块传输模式

3.4 音频处理模块 AUDPRC

音频处理模块针对不同来源的音频数据进行采样率转换、混音以及均衡，将处理后的音频数据送到对应的播放或者存储设备。其主要包含两条主要的数据通路，处理播放数据的 DAC 通路和处理音频采集数据的 ADC 通路。

3.4.1 DAC 通路

DAC 通路音频数据来源于内存，AUDPRC 最多支持四路 24bit 音频数据。AUDPRC 内 DAC 通路支持对两路数据进行采样率转换，采样率转换范围为 1/8~8 倍，信噪比不低于 96dB。经过采样率转换模块的数据再与另外两路数据进行混音处理后，进入 10 级的音频均衡器。每一级均衡器参数均可配，用户可以根据需求进行配置。最后经过均衡器的两路音频数据可以送至模拟 DAC 模块或者 I2S 接口作为输出。

3.4.2 ADC 通路

ADC 通路音频数据来源于模拟 ADC 或者 I2S 接口，最多支持两路 24bit 音频数据。经过采样率转换模块的数据可以被 DMA 保存到内存中。

3.5 连接外设

3.5.1 通用输入/输出接口（GPIO）

系统最多支持 45 个 GPIO。通过配置对应的寄存器，可以为这些管脚分配不同的功能。

当配置为输出功能时，可以通过寄存器配置输出值。

当配置为输入功能时，输入值可以通过相应寄存器查询，同时支持输入信号中断触发，中断触发模式可设置为电平触发和沿触发，沿触发支持上下双沿触发。

3.5.2 通用异步收发器（UART）

通用异步收发器支持全双工模式，提供高达 6Mbps 的波特率和多种可配置的数据格式，为与外部标准化设备通信提供了灵活而有效的数据交互手段。同时它还支持 DMA，实现多包收发。

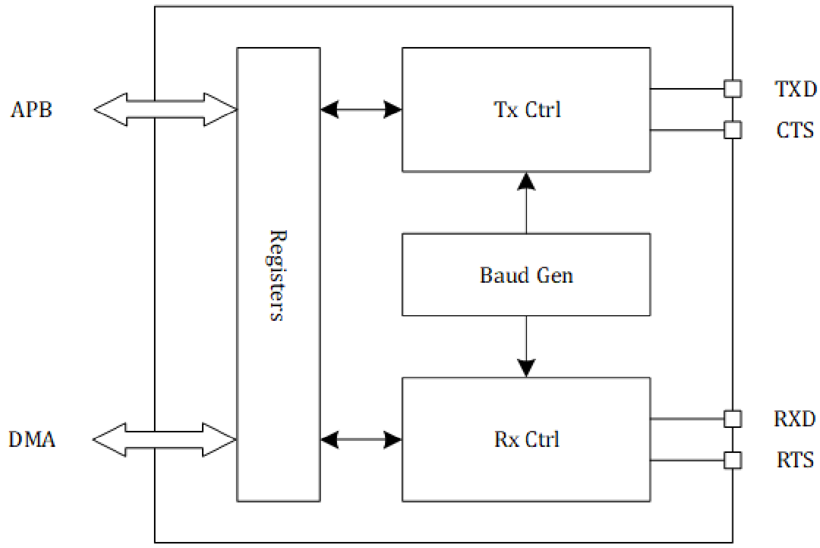


图 3-1: 通用异步收发器

通用异步收发器主要特性：

- 全双工异步通信
- 可配置 16 倍过采样或 8 倍过采样，选择频率优先或者时钟容忍度优先
- 灵活波特率配置，当输入时钟为 48MHz 且过采样率为 16 时，波特率为 3Mbps
- 可配置包长度（7/8/9 bits）
- 可配置停止位（1/2 bits）
- 硬件流控（CTS/RTS）
- DMA 多包发送和接收
- 接收奇偶校验和发送奇偶生成
- 接收和发送中断，以及其他错误中断

波特率计算说明

假设输入时钟固定为 48MHz，波特率计算公式如下：

$$Baud\ Rate = \frac{48MHz}{(BRR_{INT} + \frac{BRR_{FRAC}}{16})(16\ or\ 8)} \tag{3.1}$$

3.5.3 I2C

I2C(Inter-Integrated Circuit) 接口同时支持 master 与 slave 角色，可作为 master 与 I2C slave 外设通信，也可作为 slave 响应外部的 I2C master。I2C 内置 8 字节 FIFO，可以进行单笔读写，也可通过 DMA 进行批量数据读写。I2C 支

持标准模式 (standard-mode)、快速模式 (fast-mode)、快速模式 +(fast-mode plus) 以及高速模式 (high-speed-mode)，最高速率可达到 3.4Mbps。

I2C 主要特性：

- 可同时作为 master 与 slave
- 支持总线多 master
- 支持标准模式 (最高 100kbps)
- 支持快速模式 (最高 400kbps)
- 支持快速模式 + (最高 1Mbps)
- 支持高速模式 (最高 3.4Mbps)
- 作为 master 支持访问 7 比特或 10 比特寻址
- 作为 slave 支持 7 比特寻址
- 可配置的总线时序
- 支持时钟延展 (clock stretching)
- 8 字节 FIFO，支持 DMA
- 可配置的数字防抖动电路
- 独立的功能时钟，支持系统时钟动态调节

3.5.4 PDM

PDM (Pulse Density Modulation) 脉冲密度调制接口主要是用于将 PDM 麦克风采集到的 PDM 音频信号转化为 PCM（Pulse Code Modulation）脉冲编码调制信号以供后续的音频处理。

PDM 主要特性：

- 同时支持左右两路立体声信号，也可以单独采集单声道信号
- 可提供的 PDM 麦克风时钟速率：3.072MHz、1.536MHz、0.768MHz、1.024MHz、2.4MHz、1.6MHz、0.8MHz
- 支持 PCM 数据的速率：48kHz、32kHz、24kHz、16kHz、12kHz、8kHz
- 支持 32bit、24bit、16bit、8bit 的 PCM 信号
- 支持分辨率为 0.5dB 并且从 -15dB 到 45dB 增益可调

3.5.5 I2S

I2S 接口是应用于音频的输入输出，可以用来连接外部音频芯片、数字麦克风等设备。相较模拟音频接口，I2S 数字音频接口有更好的抗干扰能力以及更精简的接口协议。

I2S 主要特性：

- 支持 master 和 slave 两种模式
- 支持全双工模式
- 可配置的 I2S 数据格式，包括左对齐、右对齐和标准格式
- 支持多种音频数据格式，包括 8-bit 和 16-bit 的单声道和立体声格式
- 可配置的 I2S PCM 信号位宽，最高到 24-bit

3.5.6 串行外设接口（SPI）

SPI 支持 3 种通信格式：SSP/SPI/Microwire。SSP/SPI 为全双工通信协议，控制器可以配置为 Master 或 Slave 模式。Microwire 为半双工通信协议，控制器仅可配置为 Master 模式。SPI 控制器内置发送/接收 FIFO。发送 FIFO 和接收 FIFO 共享同一个地址，读该地址时访问接收 FIFO，写该地址时访问发送 FIFO。

SPI 特性如下：

- 支持 4 到 32Bit 的数据宽度
- SPI 格式下时钟极性和相位可通过寄存器 SPO 和 SPH 设置
- 片选信号极性可配
- FIFO 深度为 32Bits×16Entry
- 接收发送都支持 DMA 模式
- HPSYS 中的 SPI 最大时钟频率为 48MHz，LPSYS 中的 SPI 最大时钟频率为 24MHz

各种通信格式工作时序如下：

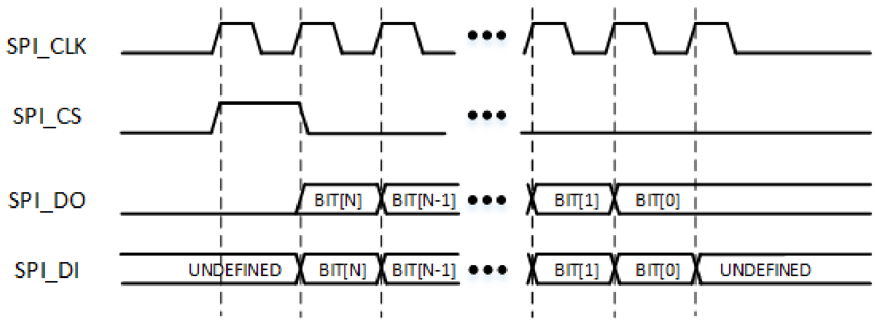


图 3-2: SSP 格式单次收发时序

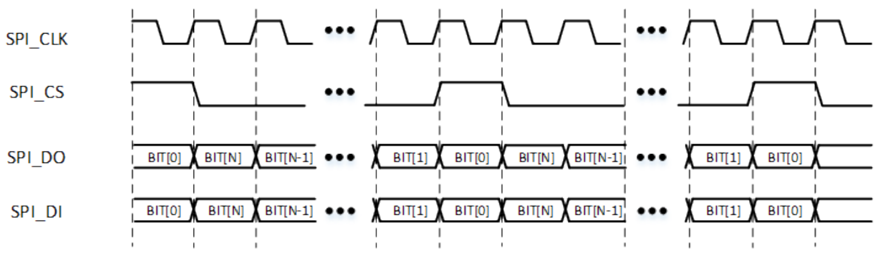


图 3-3: SSP 格式连续收发时序

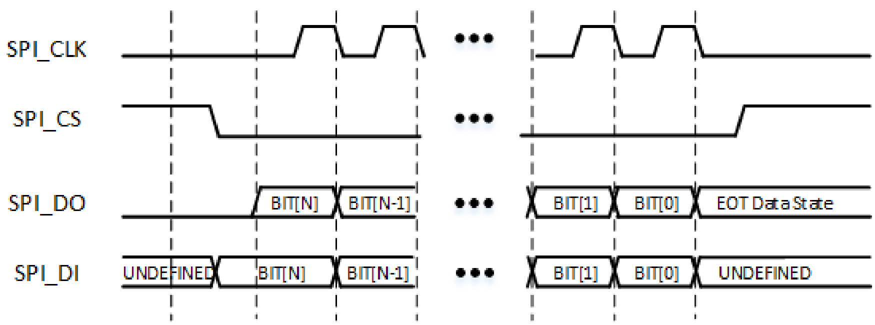


图 3-4: SPI 格式单次收发时序

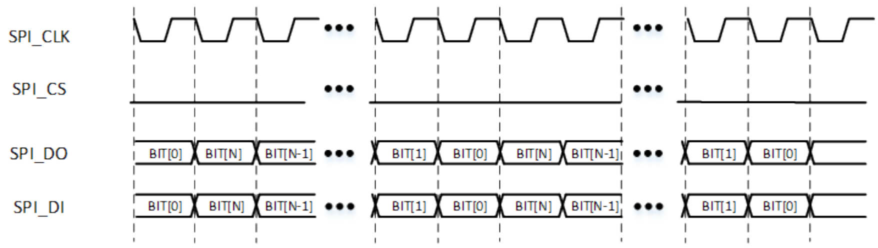


图 3-5: SPI 格式连续收发时序

下面图例用于说明 SPI 格式下 SPH/SPO 设置的效果：

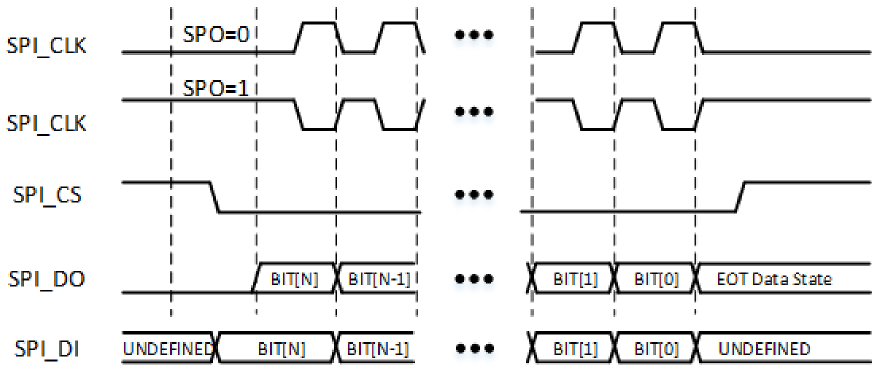


图 3-6: SPH=0 时的 SPI 时序

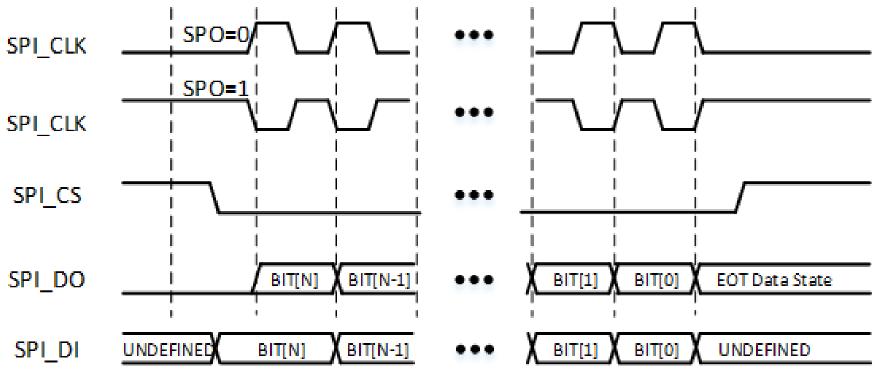


图 3-7: SPH=1 时的 SPI 时序

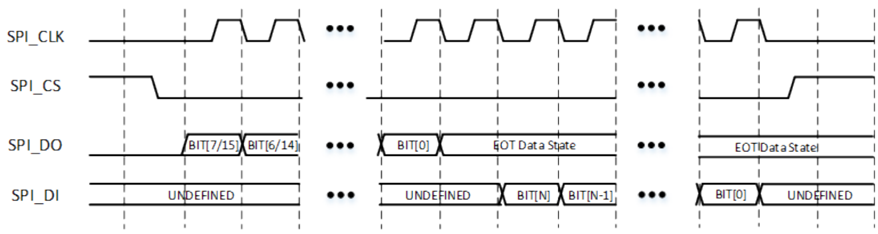


图 3-8: Microwire 格式的单次收发时序

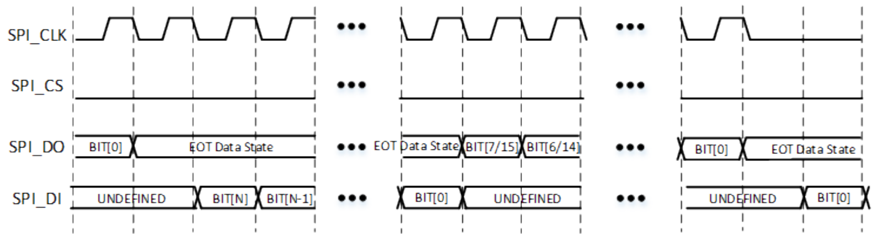


图 3-9: **Microwire 格式的多次收发时序**

3.5.7 外设任务控制器（PTC）

PTC (Peripheral Task Controller) 是一个独立的外设控制器，可以不需要唤醒 CPU ，自动完成各个外设的相互调度和控制任务。基于选定外设的事件触发，PTC 能够自动改写各外设的工作模式或工作状态，并且能够将这些任务串联构成自动触发的任务序列，从而完成复杂且快速响应的任务链。在任务链的进行过程中，CPU 可以一直保持睡眠，进而有效节省功耗。

PTC 共有 8 个通道，每个通道可以选择独立的触发源，并可配置独立的任务。可执行的任务包括两类：将指定数据直接写入指定地址；将指定地址的内容读出，与指定数据进行异或 / 与 / 或 / 加法操作后再写回。每个通道任务完成时，可产生触发信号从而触发其它通道的任务。每个通道可配置触发次数。部分通道支持触发后经过可配置的延时再执行任务。

PTC 主要特性：

- 8 个独立配置的通道可同时工作
- 每个通道触发可在 128 个触发源中选择，包括 PTC 自身的触发源
- 可访问 AHB 和 APB 外设地址空间，只支持 word 对齐访问
- 支持直接写数据，或读后改写
- 支持 32 位异或/与/或/加法运算
- 可配置触发次数 1 ~ 1023，或无限次触发
- 可配置触发延迟 0 ~ 65535 个 HCLK 周期
- 固定优先级仲裁，通道编号越小优先级越高
- 4 个 word 的寄存器空间用于数据缓存

3.5.8 USB2.0 FS

本芯片集成了一路全速（FS）USB2.0 Host/Device 接口，符合 USB 2.0 的协议规范，具有如下功能：

- 软件可配置的端点设置，支持挂起/恢复
- 支持动态 FIFO 大小
- 支持会话请求协议和主机协商协议
- 支持全速以及慢速模式
- 片内集成 USB2.0 FS PHY

3.5.9 SIM 卡控制器

SIM 卡接口是半双工的串行接口，本芯片中的 SIM 卡控制器，支持 SIM 卡的数据包收发。控制器可以支持轮询模式和 DMA 模式，结合上层软件可以实现 SIM 卡的协议层通信功能。

3.6 定时器

3.6.1 通用定时器

GPTIM (General-Purpose Timer) 基于一个 16 比特计数器，可实现计时、测量输入信号的脉冲长度 (输入捕获) 或者产生输出波形 (输出比较和 PWM) 等功能。计数器本身可以进行递增、递减或者递增/递减计数，计数时钟可选系统 PCLK、IO 输入信号或级联输入信号，并可进行 1~65536 倍的预分频。GPTIM 共有 4 个通道，可以分别独立配置为输入捕获或输出模式。计数、输入捕获和输出比较的结果可以产生中断、DMA 请求或 PTC 事件。GPTIM 包含主从模式接口，可以进行多级级联，实现多级计数或同步触发等功能。

GPTIM 主要特性：

- 16 位递增、递减、递增/递减自动重装载计数器，最大计数 65535
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 8 位可配置重复计数
- 支持单笔计数模式 (OPM)，当重复计数完成后自动停止计数器
- 4 个独立通道，可分别配置为输入或输出模式
- 输入模式
  - 上升沿/下降沿捕获
  - PWM 脉宽和周期捕获 (需占用两个通道)
  - 可选 4 个输入端口之一或 1 个外部触发端口，支持防抖动滤波和预降频
- 输出模式
  - 强制输出高/低电平
  - 计数到比较值时输出高/低/翻转电平
  - PWM 输出，可配脉宽和周期
  - 多通道 PWM 组合输出，可产生有相互关系的多路 PWM
  - 单脉冲/重触发单脉冲模式输出
- 主从模式
  - 支持多计数器互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
  - 控制模式包括复位、触发、门控等
  - 支持多计数器同步启动、复位等
- 编码模式输入，控制计数器递增/递减计数
- 如下事件发生时产生中断/DMA 请求/PTC 触发：
  - 更新：计数器递增溢出/递减溢出，计数器初始化 (通过软件或者内部/外部触发)
  - 触发事件 (计数器启动、停止、初始化或者由内部/外部触发计数)
  - 输入捕获
  - 输出比较

3.6.2 高级定时器

ATIM (Advanced Timer) 基于一个 32 比特计数器，可实现计时、测量输入信号的脉冲长度 (输入捕获) 或者产生输出波形 (输出比较和 PWM) 等功能。ATIM 支持 6 路带死区保护的 PWM 互补输出，支持多路 PWM 同时换相，并有 2 路刹车输入可快速将输出切换至安全状态。计数器本身可以进行递增、递减或者递增/递减计数，计数时钟可选系统 PCLK、IO 输入信号或级联输入信号，并可进行 1~65536 倍的预分频。ATIM 共有 6 个通道，可以分

别独立配置为输入捕获或输出模式。计数、输入捕获和输出比较的结果可以产生中断、DMA 请求或 PTC 事件。ATIM 包含主从模式接口，可以进行多级级联，实现多级计数或同步触发等功能。

ATIM 主要特性：

- 32 位递增、递减、递增/递减自动重装载计数器
- 16 位可编程 (可以实时修改) 预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 16 位可配置重复计数
- 支持单笔计数模式 (OPM)，当重复计数完成后自动停止计数器
- 6 个独立通道
  - 通道 1~3 可分别配置为输入或输出模式，其中每个通道可输出两路带死区保护的互补 PWM
  - 通道 4 可配置为输入或输出模式，可输出单路 PWM
  - 通道 5~6 可配置为输出比较模式
- 输入模式
  - 上升沿/下降沿捕获
  - PWM 脉宽和周期捕获 (需占用两个通道)
  - 可选 4 个输入端口之一或 1 个外部触发端口，支持防抖动滤波和预降频
- 输出模式
  - 强制输出高/低电平
  - 计数到比较值时输出高/低/翻转电平
  - PWM 输出，可配脉宽和周期
  - 多通道 PWM 组合输出，可产生有相互关系的多路 PWM
  - 单脉冲/重触发单脉冲模式输出
- 主从模式
  - 支持多计数器互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
  - 控制模式包括复位、触发、门控等
  - 支持多计数器同步启动、复位等
- 编码模式输入，控制计数器递增/递减计数
- 支持用于定位的霍尔传感器电路
- 2 路刹车输入，支持防抖动滤波，可将输出快速置于安全状态。刹车信号源包括：
  - CPU 异常
  - 比较器
  - 外部输入
  - 软件触发
- 如下事件发生时产生中断/DMA 请求/PTC 触发：
  - 更新：计数器递增溢出/递减溢出，计数器初始化 (通过软件或者内部/外部触发)
  - 触发事件 (计数器启动、停止、初始化或者由内部/外部触发计数)
  - 输入捕获
  - 输出比较
  - 刹车
  - 换相

3.6.3 基本定时器

BTIM (Basic Timer) 基于一个 32 比特递增计数器，可实现计时功能。计数时钟为系统 PCLK 或级联输入信号，并可进行 1~65536 倍的预分频。计时结果可以产生中断、DMA 请求或 PTC 事件。BTIM 包含主从模式接口，可以进行多级级联，实现多级计数或同步触发等功能。

BTIM 主要特性：

- 32 位递增自动重装载计数器
- 16 位可编程预分频器，计数器时钟频率的分频系数为 1~65536 之间的任意数值
- 支持单笔计数模式 (OPM)，计数完成后自动停止计数器
- 主从模式
  - 支持与 BTIM 及 GPTIM 互连，可在作为主设备产生控制信号的同时，作为从设备被外部输入或其它主设备控制
  - 控制模式包括复位、触发、门控等
  - 支持多 timer 同步启动、复位等
- 计数器溢出或初始化时产生中断/DMA

3.6.4 低功耗定时器

LPTIM (Low-Power Timer) 基于一个 24 比特递增计数器，可实现计时、产生输出波形 (输出比较和 PWM) 和唤醒系统等功能。计数时钟可以为系统 PCLK2、低功耗时钟、IO 输入信号或比较器输出，并可进行最多 128 倍的预分频以及最多 256 次的循环计数。根据计数结果可以产生 PWM 输出，并可产生中断，或产生唤醒信号将系统从低功耗模式唤醒。当用 IO 输入信号作为计数时钟时，支持不依赖于内部时钟进行计数并产生唤醒信号，从而允许系统关闭内部时钟。

LPTIM 主要特性：

- 24 位向上自动重装载计数器，最大计数 16777215(2^24-1)
- 计数时钟选择
  - 内部时钟，PCLK2 或低功耗时钟
  - 可选边沿的 IO 输入信号或比较器输出，可利用内部时钟进行防抖动，也可不依赖内部时钟独立计数
- 8 档预分频，计数时钟分频系数为 2 的 0~7 次方
- 1~256 循环次数
- 计数模式
  - 连续计数模式
  - 单笔计数模式，循环次数完成后计数结束
- 可配极性的输出模式
  - PWM 输出，可配脉宽、周期
  - 单次翻转输出
  - 单脉冲或指定个数脉冲输出
- 触发模式
  - 软件触发
  - IO 输入信号边沿触发，支持防抖动滤波
- 超时检测，每次外部触发时计数器复位

- 如下事件发生时产生中断或唤醒信号：
  - 更新
  - 计数器溢出
  - 输出比较
  - 外部触发

3.6.5 看门狗

看门狗计时器作为一种计数器主要是用于在到达设定好的时间之后重置系统，以防止软件挂死。

看门狗计时器基本功能：

- 支持两种工作模式：
  - Mode0
    - wdt 不会产生中断，在到达设定的时间之后会直接重置系统
    - 最高支持 24bit 的计数器
  - Mode1
    - 分为两段计数，在到达第一段设定的时间之后，会产生中断，在到达第二段设定的时间之后，再重置系统
    - 每个时间段最高支持 24bit 的计数器
- 支持写保护，以防止软件对 wdt 进行误操作

3.7 加密校验

3.7.1 AES 引擎

AES 引擎是一个针对对称加密算法的运算加速器，用户可以自行配置加解密算法的密钥以及初始向量对内存中的数据进行加解密运算操作，同时将结果存储到指定的内存区域。

相较软件的加解密运算，AES 引擎有更高的运算速度，更灵活的配置，更好的外设存储设备访问效率。除此以外，在 bypass 模式下，AES 引擎也可以作为数据传输的 DMA 来使用。

AES 主要特性：

- 支持 AES-128、AES-192、AES-256 以及国密 SM4 算法标准
- 支持 ECB、CTR 以及 CBC 模式
- 可以调用 RootKey 进行加解密的运算，同时保证 RootKey 不被外部程序读取

3.7.2 HASH 引擎

HASH 引擎是一个针对散列数列算法的运算加速器，用户可以选择不同的散列算法计算内存中特定数据的散列值。HASH 引擎相比软件算法速度更快，配置也灵活，用户也可以通过自定义初始向量，实现多线程 HASH 运算。HASH 引擎支持算法包括 SHA1、SHA224、SHA256 和 SM3。

3.7.3 CRC

CRC (Cyclic Redundancy Check) 可进行特定位宽、任意生成多项式、任意初始值的 CRC 计算。数据可以通过 CPU 或 DMA 输入，最小输入单元为单字节，没有最长字节数限制。单 HCLK 周期即能够完成单字节输入的计算。数据输入全部完成后即时得到校验结果。支持输入数据高低位倒转和输出数据高低位倒转。支持不同有效位宽的输入数据。

CRC1 位于 HPSYS，CRC2 位于 LPSYS。

CRC 主要特性：

- 7/8/16/32 比特 CRC 计算
- 任意自定义多项式
- 任意初始值
- 输入数据支持单字节/双字节/三字节/四字节有效位宽
- 输入数据支持字节/双字节/四字节高低位比特倒转
- 输出数据支持高低位比特倒转
- 计算速度为每 HCLK 周期 1 字节

3.7.4 真随机数发生器（TRNG）

TRNG（True Random Number Generator）是一个借助振荡电路的不稳定性来产生随机数的模块。该模块无需外部的随机熵源，可以通过激活内部多个振荡电路，通过一定的熵源处理逻辑，生成随机数。

TRNG 主要特性：

- 独立的内部熵源
- 单次产生 256-bit 的种子和 256-bit 随机数
- 针对熵源的死锁校验

3.8 存储接口

3.8.1 MPI 接口

MPI (Memory Peripheral Interface) 控制器是一个专用的 memory 通信接口，支持多种片外存储颗粒，包括：

- SPI NOR Flash，支持 1 线/2 线/4 线，支持 DTR 模式
- SPI NAND Flash，支持 1 线/2 线/4 线
- pSRAM，支持 x8 和 x16 数据位宽，支持 Xccela 标准接口，兼容 Legacy 接口
- HyperRAM，支持 x8 和 x16 数据位宽，支持 HyperBus 标准接口

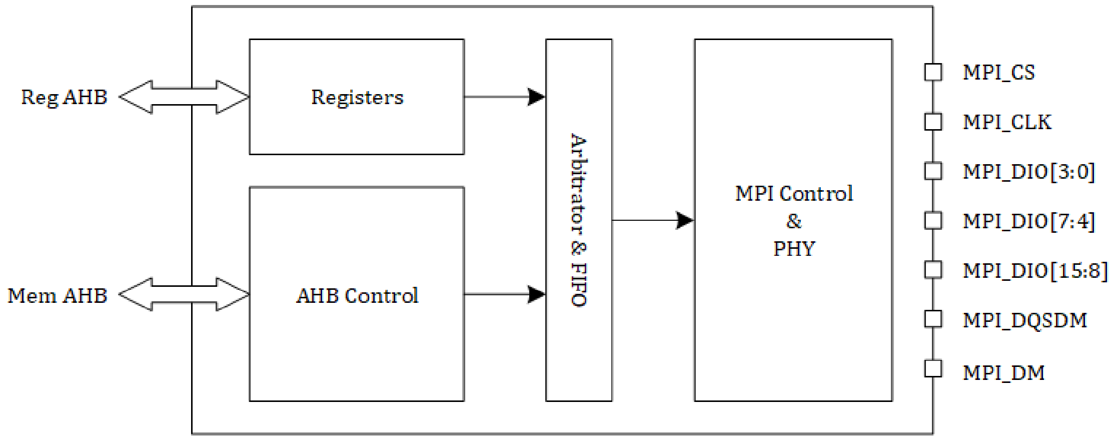


图 3-10: **MPI 控制器框图**

MPI 控制器支持两种操作模式：（1）寄存器模式和（2）地址映射模式。两种模式的切换由硬件自动完成，可动态穿插执行。且无论哪种模式，都支持高度可定制的接口时序，以兼容各种存储颗粒。

寄存器模式

- 通过寄存器操作，发送一个命令时序。也可以将该命令设置为状态查询命令反复发送，直到读回的数据满足某个预设状态
- 支持发送包含两个命令时序的序列，其中第二个命令可设置为状态查询命令反复发送，直到读回的数据满足某个预设状态
- 支持 DMA 通道，通过寄存器 FIFO 接口完成数据搬运

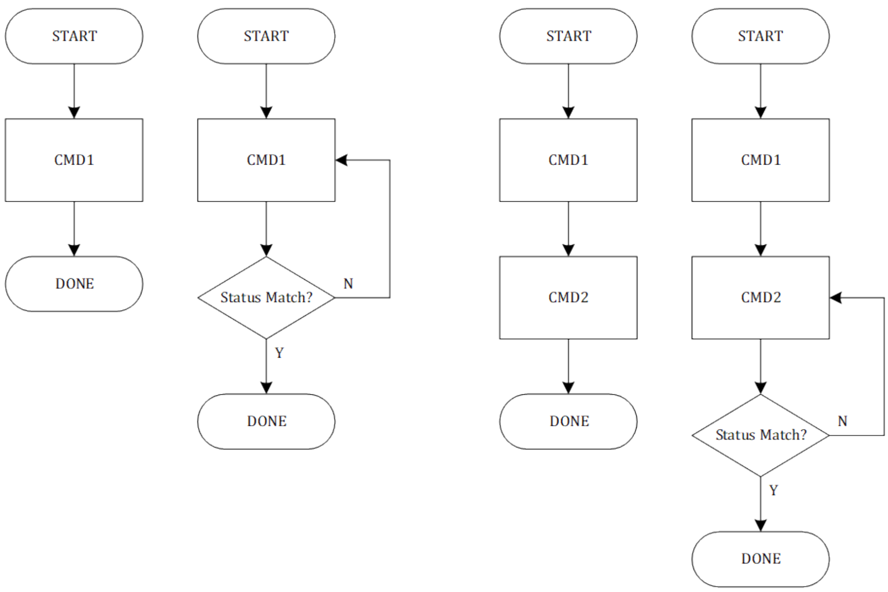


图 3-11: **寄存器模式单个和多个命令时序的序列**

地址映射模式

- 外部 memory 映射为 AHB 地址空间，自动将 AHB 总线读写转换为预设的 Memory 接口时序，实现 XIP 功能

- 支持 Byte (8-bit)、Half-word (16-bit) 和 Word (32-bit) AHB 访问
- 高效转换 AHB Wrap 操作，不依赖于颗粒是否支持 Wrap
- 支持 XIP 实时（On-The-Fly）解密，模式为 AES128-CTR 或者 AES256-CTR
- 支持连续读写功能，如果当前一笔 AHB 的读写地址与前一笔连续，则直接开始数据传输，省略命令和地址部分。该功能可大幅提升大块数据搬运时的有效带宽
- 针对 pSRAM 和 HyperRAM 的内部动态刷新特性，自动处理颗粒最长 CS 拉低时间、最近 CS 访问间隔、最大 burst 数据长度等限制，无需软件处理

3.8.2 SD/SDIO/eMMC

SDMMC1 支持 SD 协议 3.0 以及 eMMC 标准 4.51，可与 SD/SDIO/eMMC 设备交互，并通过 DMAC 进行数据读写。SDMMC1 支持 SDR 单线和 4 线模式，SD 时钟的最高频率为 48MHz，不支持 DDR。

SDMMC1 主要特性：

- 兼容 SD Host Controller Standard Specification Version 3.0
- 兼容 SD 3.0 Physical Layer Specification Version 3.01
- 兼容 SDIO Specification Version 3.0
- 兼容 JEDEC JESD84-B451 eMMC 4.51 Specification
- 支持 SDSC/SDHC/SDXC/SDHS 卡
- 支持 SDR12/SDR25/SDR50
- 支持 SDR 单线，4 线模式
- 内置 2K 字节 FIFO，最大支持单 block 512 字节
- 可配置时钟
- 支持 DMA 数据搬运

3.9 各种外设接口速率汇总

表 3-2: 常用接口速率

控制器	最高速率	单位	备注
MPI1	144	MHz	合封 OPI-PSRAM
	96	MHz	合封 QSPI-NOR Flash (支持 DTR)
MPI2	96	MHz	外挂 QSPI-NOR，QSPI-NAND Flash
SDMMC	48	MHz	外挂 eMMC
I2C	3.4	MHz	
SPI	48	MHz	
UART	3	Mbaud	
I2S	48	KHz	采样率 48KHz，32-bit×2 channel
PDM	3.072	MHz	
GPADC	4	Msps	

4 电气特性

4.1 基本电气特性

表 4-1: 运行条件

Symbol	Description	Min	Typ	Max	Unit
VBUS	VBUS power input	4.6	5	5.5	V
VBAT	VBAT power output	3.2		4.7	V
VCC	System power input	3.2		4.7	V
T_{amb}	Ambient temperature	-40		85	°C
V_{IL}	CMOS low level input voltage	0		$0.3 \times V_{IO}$	V
V_{IH}	CMOS high level input voltage	$0.7 \times V_{IO}$		V_{IO}	V
V_{TH}	CMOS threshold voltage		$0.5 \times V_{IO}$		V

表 4-2: 绝对最大值

Symbol	Description	Min	Typ	Max	Unit
VBUS	VBUS power input			5.5	V
VBAT	VBAT power output			4.7	V
VCC	System power input			4.7	V
$T_{Storage}$	Storage temperature	-40		125	°C
V_{IN}	Input voltage	0		V_{IO}+0.3	V
V_{LNA}	LNA input level			0	dBm
I_{IN}	Input current			20	mA

4.2 可靠性

表 4-3: 可靠性测试

测试项目	测试条件	适用产品	测试标准
HTOL（高温工作寿命）	Tj=125°C，1000 小时	SF32LB52x QFN68L	JESD22-A108
ESD（静电放电敏感度)	HBM（人体放电模式）± 4000 V	SF32LB52x QFN68L	JS-001-2017
	CDM（充电器件模式）±1000V	SF32LB52x QFN68L	JS-002-2018
Latch-up (闩锁测试)	I-Test: ± 200mA	SF32LB52x QFN68L	JESD78E
	OVT: +1.5×Vdd_{MAX}	SF32LB52x QFN68L	
MSL3(湿度敏感等级)	烘烤：125°C，24 小时 浸泡：30°C，60% RH，192 小时 回流焊：260 + 0°C，20 秒，三次	SF32LB52x QFN68L	JESD22-A113
TCT（高低温循环试验）	-65°C~150°C，Dwell=15min，1000 次循环	SF32LB52x QFN68L	JESD22-A104
uHAST（无偏压高加速温湿度应力试验）	130°C，85% RH，33.3psig，96 小时	SF32LB52x QFN68L	JESD22-A118
HTSL（高温贮存寿命）	150°C，1000 小时	SF32LB52x QFN68L	JESD22-A103
PCT(高压蒸煮实验)	121°C，100% RH，205kPa，96 小时	SF32LB52x QFN68L	JESD22-A102
Solderability(可焊性实验)	245°C，steam aging 8 小时	SF32LB52x QFN68L	J-STD-002

4.3 功耗特性

4.3.1 处理器功耗

表 4-4: 处理器功耗

	时钟频率	电源电压 3.8V 电流（uA）	电源电压 3.8V 电流增量（uA/MHz）
CoreMark	192MHz	7360	35
	168MHz	6520	
	144MHz	4930	30
	120MHz	4200	
	48MHz	1550	27
	24MHz	810	23
	12MHz	530	
WhileLoop	192MHz	5490	27
	168MHz	4840	
	144MHz	3730	22
	120MHz	3200	
	48MHz	1250	20
	24MHz	690	18
	12MHz	470	
关机	按键唤醒（发送 shutdown）	2.0	

4.3.2 BT 和 BLE 功耗

表 4-5: BT 和 BLE 功耗

模式	条件	电源电压 3.8V @TXpower = 0dBm	电源电压 3.8V @TXpower = 4dBm	电源电压 3.8V @TXpower =10dBm	电源电压 3.8V @TXpower =13dBm	单位
ΔBT Sniff Mode	240ms (attempt=1)	21.8	22.8	30.0	92.5	uA
	500ms (attempt=4)	23.8	24.8	38.6	158.6	uA
ΔBLE ADV	200ms	40	43.3	78.9	380	uA
	500ms	16	17.3	31.6	152	uA
	1s	8	8.7	15.8	76	uA
ΔBLE Connection	200ms	23	23.3	28.1	78.7	uA
	500ms	10	10.2	12.3	32.8	uA
	1s	5.6	5.9	7.1	17.6	uA
ΔBoth Scan	Inquiry Scan and Page Scan	60.4	60.4	60.4	60.4	uA
Sleep		18				uA

* 1. Scan 每 1.28s 接收 11.25ms，Both Scan 每 1.28s 接收 22.5ms。
2. bt 500ms sniff@TXpower10dBm：=38.6+18=56.6uA

4.4 蓝牙射频

4.4.1 BLE 射频

4.4.1.1 BLE 发射机性能

表 4-6: BLE 发射机性能—1Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			19		dBm
RF power control range		-20		19	dBm
Adjacent channel transmit power (@+19dBm)	F = F_0+2MHz		-27	-20	dBm
	F = F_0-2MHz		-27	-20	dBm
	F = F_0+3MHz		-31	-30	dBm
	F = F_0-3MHz		-31	-30	dBm
	F = F_0+>3MHz		-38	-30	dBm
	F = F_0->3MHz		-38	-30	dBm
Δf_{1avg} Maximum modulation		225	250	275	kHz
Δf_{2max} Minimum modulation		185	210		kHz
$\Delta f_{2avg}/\Delta f_{1avg}$		0.8	0.89		
ICFT		-150	±20	150	kHz
Drift rate		-20	±4	20	kHz/50us
Drift		-50	±4	50	kHz
Harmonic spur (@+19dBm transmit power)	Second harmonic		-50*		dBm
	Third harmonic		-40*		dBm

* With external π type matching network

表 4-7: BLE 发射机性能—2Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power			19		dBm
RF power control range		-20		19	dBm
Adjacent channel transmit power (@+19dBm)	F = F_0+4MHz		-37	-20	dBm
	F = F_0-4MHz		-37	-20	dBm
	F = F_0+5MHz		-38	-20	dBm
	F = F_0-5MHz		-38	-20	dBm
	F = F_0+>5MHz		-42	-30	dBm
	F = F_0->5MHz		-42	-30	dBm
Δf_{1avg} Maximum modulation		450	500	550	kHz
Δf_{2max} Minimum modulation		370	420		kHz
$\Delta f_{2avg}/\Delta f_{1avg}$		0.8	0.89		
ICFT		-150	±20	150	kHz
Drift rate		-20	±4	20	kHz/50us
Drift		-50	±4	50	kHz
Harmonic Spur (@+19dBm transmit power)	Second harmonic		-50*		dBm
	Third harmonic		-40*		dBm

* With external π type matching network

4.4.1.2 BLE 接收机性能

表 4-8: BLE 接收机性能—1Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Frequency Range		2402		2480	MHz
Sensitivity with dirty transmit off@30.8% PER & 37bytes		/	-100	/	dBm
Sensitivity with dirty transmit on@30.8% PER & 37bytes		/	-99.3	/	dBm
Maximun received signal@30.8% PER & 37bytes		/	0	/	dBm
C/I Co-channel			7		dB
Adjacent channel selectivity C/I	$F=F_0+1MHz$		-10		dB
	$F=F_0-1MHz$		-7		dB
	$F=F_0+2MHz$		-43		dB
	$F=F_0-2MHz$		-40		dB
	$F=F_0+3MHz$		-50		dB
	$F=F_0-3MHz$		-40		dB
	$F=F_0+>3MHz$		<-40		dB
	$F=F_0->3MHz$		<-40		dB
	$F=F_{image}(F_0-4MHz)$		-24		dB
Intermodulation			-24		dBm
Out of band blocking performance	30MHz~2000MHz	-11	-11		dBm
	2000MHz~2400MHz	-25	-10		dBm
	2500MHz~3000MHz	-25	-10		dBm
	3000MHz~12.5GHz	-10	-10		dBm

表 4-9: BLE 接收机性能—2Mbps 模式

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@30.8% PER & 37bytes		/	-97	/	dBm
Sensitivity with dirty transmit on@30.8% PER & 37bytes		/	-96.5	/	dBm
Maximun received signal@30.8% PER & 37bytes		/	0	/	dBm
C/I co-channel			7		dB
Adjacent channel selectivity C/I	$F = F_0+2MHz$		-10		dB
	$F = F_0-2MHz$		-8		dB
	$F = F_0+4MHz$		-44		dB
	$F = F_0-4MHz$		-34		dB
	$F = F_0+6MHz$		-50		dB
	$F = F_0-6MHz$		-24		dB
	$F = F_{image}(F_0-6MHz)$		-24		dB
Intermodulation			-25		dBm
Out of band blocking performance	30MHz~2000MHz	-11	-11		dBm
	2000MHz~2400MHz	-25	-25		dBm
	2500MHz~3000MHz	-25	-25		dBm
	3000MHz~12.5GHz	-10	-10		dBm

4.4.2 经典蓝牙

4.4.2.1 发射机性能

表 4-10: 发射机性能—Basic Data Rate

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transmit power	RF output power	/	18	/	dBm
RF power control step		2	4	8	dB
Adjacent channel transmit power	F = F_0+2MHz	/	-37	-20	dBm
	F = F_0-2MHz	/	-37	-20	dBm
	F = F_0+3MHz	/	-41	-40	dBm
	F = F_0-3MHz	/	-41	-40	dBm
	F = F_0+>3MHz	/	-44	-40	dBm
	F = F_0->3MHz	/	-44	-40	dBm
Δf_{1avg} modulation		140	160	175	kHz
Δf_{2max} modulation		120	150	175	kHz
$\Delta f_{2avg}/\Delta f_{1avg}$		0.8	0.9	/	
ICFT		-75	0	75	kHz
Drift (1 slot packet)		-25	0	25	kHz
Drift (5 slot packet)		-40	0	40	kHz
Harmonic spur(@ +18dbm transimit power)	3G-20GHz	/	-35		dBm

表 4-11: 发射机性能—Enhanced Data Rate

Parameter	Condition	Min	Typ	Max	Unit
Maximum RF transimit power	RF output power	/	13	/	dBm
DPSK Power - GFSK Power	2-DH5		0		dB
$\pi/4$ DQPSK max w_0		-10	0	10	kHz
$\pi/4$ DQPSK max w_i		-75	0	+75	kHz
$\pi/4$ DQPSK max $\|w_i + w_0\|$		-75	0	+75	kHz
8DPSK max w_0		-10	0	10	kHz
8DPSK max w_i		-75	0	+75	kHz
8DPSK max $\|w_i + w_0\|$		-75	0	+75	kHz
$\pi/4$ DQPSK modulation accuracy	RMS DEVM	/	6	20	%
	99% DEVM	/	11	30	%
	Peak DEVM	/	16	35	%
8DPSK modulation accuracy	RMS DEVM	/	6	13	%
	99% DEVM	/	11	20	%
	Peak DEVM	/	16	25	%
In-band spurious emissions	F=F_0+1MHz		-39	-26	dBm
	F=F_0-1MHz		-41	-26	dBm
	F=F_0+2MHz		-28	-20	dBm
	F=F_0-2MHz		-29	-20	dBm
	F=F_0+3MHz		-41	-40	dBm
	F=F_0-3MHz		-41	-40	dBm
	F=F_0+>3MHz		-41	-40	dBm
	F=F_0->3MHz		-41	-40	dBm
EDR differential phase encoding			99	100	%

4.4.2.2 接收机性能

表 4-12: 接收机性能—Basic Data Rate

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@0.1% BER		/	-96.3	/	dBm
Sensitivity with dirty transmit on@0.1% BER		/	-95	/	dBm
Maximum received signal@0.1% BER		0	/	/	dBm
C/I co-channel			10		dB
Adjacent channel selectivity C/I	F = F_0+1MHz		-13		dB
	F = F_0-1MHz		-10		dB
	F = F_0+2MHz		-42		dB
	F = F_0-2MHz		-43		dB
	F = F_0+3MHz		-48		dB
	F = F_0-3MHz		-45		dB
	F = F_{image} (F_0-5MHz)		-31		dB
Intermodulation			-23		dBm
Out of band blocking performance	30MHz~2000MHz	-10	-10		dBm
	2000MHz~2400MHz	-27	-10		dBm
	2500MHz~3000MHz	-27	-10		dBm
	3000MHz~12.5GHz	-10	-10		dBm

表 4-13: 接收机性能—Enhanced Data Rate-$\pi/4$ DQPSK

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@0.01% BER		/	-95.5	/	dBm
Sensitivity with dirty transmit on@0.01% BER		/	-95	/	dBm
Maximum received signal@0.01% BER		/	0	/	dBm
C/I co-channel			11		dB
Adjacent channel selectivity C/I	F = F_0+1MHz		-13		dB
	F = F_0-1MHz		-9		dB
	F = F_0+2MHz		-40		dB
	F = F_0-2MHz		-30		dB
	F = F_0+3MHz		-41		dB
	F = F_0-3MHz		-41		dB
	F = F_{image} (F_0-5MHz)		-30		dB

表 4-14: 接收机性能—Enhanced Data Rate-8DPSK

Parameter	Condition	Min	Typ	Max	Unit
Sensitivity with dirty transmit off@0.01% BER		/	-88.5	/	dBm
Sensitivity with dirty transmit on@0.01% BER		/	-87	/	dBm
Maximum received signal@0.01% BER		/	0	/	dBm
C/I co-channel			17		dB
Adjacent channel selectivity C/I	F = F_0+1MHz		-4		dB
	F = F_0-1MHz		-5		dB
	F = F_0+2MHz		-29		dB
	F = F_0-2MHz		-29		dB
	F = F_0+3MHz		-38		dB
	F = F_0-3MHz		-38		dB
	F = F_{image} (F_0-5MHz)		-28		dB

4.5 音频性能

表 4-15: 音频 ADC 性能

Analogue to Digital Converter under 3.3V

Parameter	Test Condition	Min	Typ	Max	Unit
Resolution		/	/	24	Bits
Sample Frequency		8	/	48	kHz
Analog Gain Range	6dB/Step	-6		18	dB
Input Resistance	Analog Gain = 0dB, @48kHz Sample Frequency	/	23	/	KΩ
Dynamic Range	1kHz -60dBFS Input, @48kHz Sample Frequency, Output A-Weighted	/	99	/	dB
Signal to Noise Ratio	1kHz Input, @48kHz Sample Frequency, Output A-Weighted	/		/	dB
Total Harmonic Distortion+Noise	Analog Gain = 0dB, 1kHz Input, @48kHz Sample Frequency	/	-76	/	dB

表 4-16: 音频 DAC 性能

Digital to Analogue Converter under 3.3V

Parameter	Test Condition	Min	Typ	Max	Unit
Resolution		/	/	24	Bits
Output Swing			1.1		Vrms
Sample Frequency		8	/	48	kHz
Total Harmonic Distortion+Noise	1kHz Output, 0dBFS, with 10kOhm Loading, @48kHz Sample Frequency, Output A-Weighted	/	-102	/	dB
Dynamic Range	1kHz Output, -60dBFS, with 10kOhm Loading, @48kHz Sample Frequency, Output A-Weighted	/	109	/	dB
Noise Floor		/	3.7	/	μV rms
Signal to Noise Ratio	1kHz Output, 0dBFS, with 10kOhm Loading, @48kHz Sample Frequency, Output A-Weighted	/	109	/	dB

4.6 充电模块电气特性

表 4-17: 充电模块电气特性

Parameter	Symbol	Min	Typ	Max	Unit
Charger Input Voltage	Vbus	4.6	5	5.5	V
BAT Leakage Current	Ileak		30		nA
Constant Charging Current	Icc	5		560	mA
Trickle Charging Current	Itri	0.5	56	56	mA
Battery Charge Full, Termination Current Ratio	Iend		10		%, of Icc
Battery Charge Full, Termination Voltage	Vcv		4.2	4.45	V
Fully-Charged Voltage Accuracy			±1.5		%, of Vcv
Trickle to Constant Charging Transition Threshold	Vcc		3		V
Re-Charge Threshold	Vrechg		Vcv-0.15		V
Over-Charge Protection	Vhigh		4.5		V

4.7 IO 驱动能力

表 4-18: IO 驱动能力

DS0	DS1	Driving Capability
0	0	2mA
0	1	4mA
1	0	8mA
1	1	12mA

5 封装与硬件

5.1 管脚布局

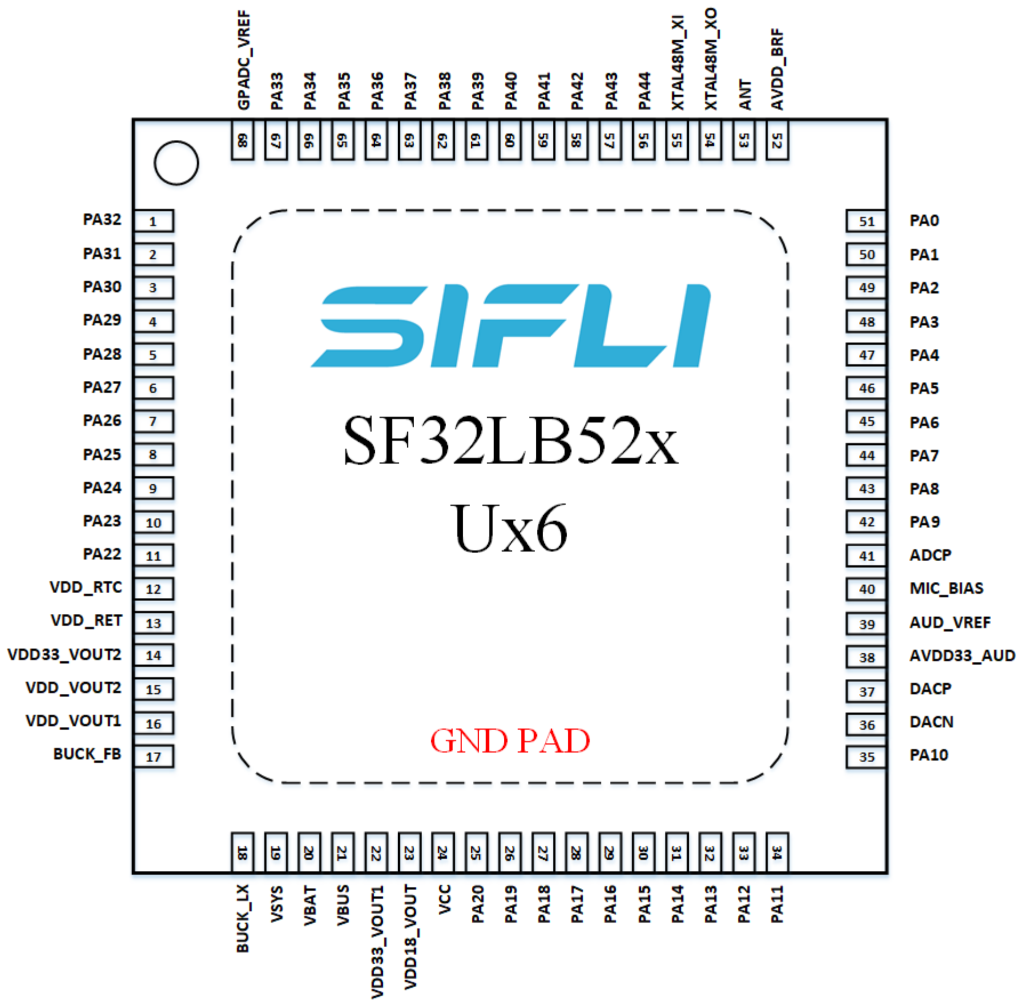


图 5-1: SF32LB52x 管脚分布图

5.2 管脚描述

本芯片的管脚类型如表5-1所示，以下将分别对大核域 GPIO、其它专用管脚加以描述。

表 5-1: 管脚类型

Pin Type	Description
I/O	Digital input/output
I	Digital input
O	Digital output
A, I	Analog input
A, O	Analog output
A, I/O	Analog input/output
PWR	Power
GND	Ground

说明：

- 在低功耗场景下，悬空的输入有可能导致开启了输入功能的数字 I/O 的功耗上升，所以在这类 I/O 上需要按照功能配置相应的确定电压，具体方法包括连接在其它芯片的有确定输出电压的 I/O 上，或连接相应的上拉或下拉电阻。

5.2.1 大核域 GPIO（PA）列表

表 5-2: 大核域 GPIO（PA）管脚列表

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
51	PA00	I/O	0	GPIO_A0
			1	LCDC1_SPI_RSTB
			4	PA_I2C_UART
			5	PA_TIM
			7	LCDC1_8080_RSTB
			Others	Reserved
50	PA01	I/O	0	GPIO_A1
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
49	PA02	I/O	0	GPIO_A2
			1	LCDC1_SPI_TE
			3	I2S1_MCLK
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_B2
			7	LCDC1_8080_TE
			Others	Reserved
48	PA03	I/O	0	GPIO_A3
			1	LCDC1_SPI_CS
			3	I2S1_SDO
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_B1
			7	LCDC1_8080_CS
			Others	Reserved
47	PA04	I/O	0	GPIO_A4
			1	LCDC1_SPI_CLK
			3	I2S1_SDI
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_G1
			7	LCDC1_8080_WR
			Others	Reserved
46	PA05	I/O	0	GPIO_A5
			1	LCDC1_SPI_DIO0
			3	I2S1_BCK
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_R1
			7	LCDC1_8080_RD
			Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
45	PA06	I/O	0	GPIO_A6
			1	LCDC1_SPI_DIO1
			3	I2S1_LRCK
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_HST
			7	LCDC1_8080_DC
			Others	Reserved
44	PA07	I/O	0	GPIO_A7
			1	LCDC1_SPI_DIO2
			3	PDM1_CLK
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_ENB
			7	LCDC1_8080_DIO0
			Others	Reserved
43	PA08	I/O	0	GPIO_A8
			1	LCDC1_SPI_DIO3
			3	PDM1_DATA
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_VST
			7	LCDC1_8080_DIO1
			Others	Reserved
42	PA09	I/O	0	GPIO_A9
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
35	PA10	I/O	0	GPIO_A10
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
34	PA11	I/O	0	GPIO_A11
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
33	PA12	I/O	0	GPIO_A12
			1	MPI2_CS
			2	SD1_DIO2
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
32	PA13	I/O	0	GPIO_A13
			1	MPI2_DIO1
			2	SD1_DIO3
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
31	PA14	I/O	0	GPIO_A14
			1	MPI2_DIO2
			2	SD1_CLK
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
30	PA15	I/O	0	GPIO_A15
			1	MPI2_DIO0
			2	SD1_CMD
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
29	PA16	I/O	0	GPIO_A16
			1	MPI2_CLK
			2	SD1_DIO0
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
28	PA17	I/O	0	GPIO_A17
			1	MPI2_DIO3
			2	SD1_DIO1
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
27	PA18	I/O	0	GPIO_A18
			2	SWDIO
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
26	PA19	I/O	0	GPIO_A19
			2	SWCLK
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
25	PA20	I/O	0	GPIO_A20
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
-	PA21	I/O	0	GPIO_A21
			4	PA_I2C_UART
			5	PA_TIM
			Others	Reserved
11	PA22	I/O	0	GPIO_A22
			3	PDM1_CLK
			4	PA_I2C_UART
			5	PA_TIM
			8	#XTAL32K_XI
			Others	Reserved
10	PA23	I/O	0	GPIO_A23
			3	PDM1_DATA
			4	PA_I2C_UART
			5	PA_TIM
			8	#XTAL32K_XO
			Others	Reserved
9	PA24	I/O	0	GPIO_A24
			2	SPI1_DIO
			3	I2S1_MCLK
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN0
			Others	Reserved
8	PA25	I/O	0	GPIO_A25
			2	SPI1_DI
			3	I2S1_SDO
			4	PA_I2C_UART
			5	PA_TIM
			7	#XTAL32K_EXT
			8	#WKUP_PIN1
			Others	Reserved
7	PA26	I/O	0	GPIO_A26
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN2
			Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
6	PA27	I/O	0	GPIO_A27
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN3
			Others	Reserved
5	PA28	I/O	0	GPIO_A28
			2	SPI1_CLK
			3	I2S1_SDI
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH1
			Others	Reserved
4	PA29	I/O	0	GPIO_A29
			2	SPI1_CS
			3	I2S1_BCK
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH2
			Others	Reserved
3	PA30	I/O	0	GPIO_A30
			2	#EFUSE_PWR
			3	I2S1_LRCK
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH3
			Others	Reserved
2	PA31	I/O	0	GPIO_A31
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH4
			Others	Reserved
1	PA32	I/O	0	GPIO_A32
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH5
			Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
67	PA33	I/O	0	GPIO_A33
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH6
			Others	Reserved
66	PA34	I/O	0	GPIO_A34
			4	PA_I2C_UART
			5	PA_TIM
			7	#GPADC_CH7
			8	#WKUP_PIN10
			Others	Reserved
65	PA35	I/O	0	GPIO_A35
			2	#USB11_DP
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN11
			Others	Reserved
64	PA36	I/O	0	GPIO_A36
			2	#USB11_DM
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN12
			Others	Reserved
63	PA37	I/O	0	GPIO_A37
			2	SPI2_DIO
			4	PA_I2C_UART
			5	PA_TIM
			7	LCDC1_8080_DIO2
			8	#WKUP_PIN13
			Others	Reserved
62	PA38	I/O	0	GPIO_A38
			2	SPI2_DI
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN14
			Others	Reserved

续表下页...

表 5-2: 大核域 GPIO（PA）管脚列表（续）

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Sel #	Function
61	PA39	I/O	0	GPIO_A39
			2	SPI2_CLK
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_VCK
			7	LCDC1_8080_DIO3
			8	#WKUP_PIN15
			Others	Reserved
60	PA40	I/O	0	GPIO_A40
			2	SPI2_CS
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_XRST
			7	LCDC1_8080_DIO4
			8	#WKUP_PIN16
			Others	Reserved
59	PA41	I/O	0	GPIO_A41
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_HCK
			7	LCDC1_8080_DIO5
			8	#WKUP_PIN17
			Others	Reserved
58	PA42	I/O	0	GPIO_A42
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_R2
			7	LCDC1_8080_DIO6
			8	#WKUP_PIN18
			Others	Reserved
57	PA43	I/O	0	GPIO_A43
			4	PA_I2C_UART
			5	PA_TIM
			6	LCDC1_JDI_G2
			7	LCDC1_8080_DIO7
			8	#WKUP_PIN19
			Others	Reserved
56	PA44	I/O	0	GPIO_A44
			4	PA_I2C_UART
			5	PA_TIM
			8	#WKUP_PIN20
			Others	Reserved

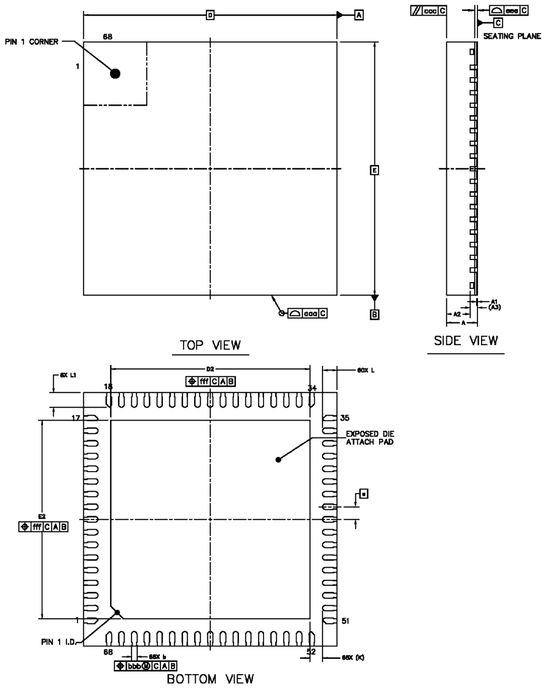
5.2.2 专用管脚（电源、射频、模拟、数字）列表

表 5-3: 专用管脚（电源、射频、模拟、数字）列表

Pin Number SF32LB52x (QFN68L)	Pin Name	Type	Description
21	VBUS	PWR	VBUS 输入
20	VBAT	PWR	VBAT 输出
19	VSYS	PWR	VSYS 输出
18	BUCK_LX	A,I/O	Buck 电感开关
17	BUCK_FB	PWR	Buck 输出
16	VDD_VOUT1	PWR	内部 LDO1 输出
15	VDD_VOUT2	PWR	内部 LDO2 输出
13	VDD_RET	PWR	RET LDO 输出
12	VDD_RTC	PWR	RTC LDO 输出
24	VCC	PWR	系统电源输入
23	VDD18_VOUT	PWR	SIP 供电 *
22	VDD33_VOUT1	PWR	3.3V LDO 输出 1
14	VDD33_VOUT2	PWR	3.3V LDO 输出 2
68	GPADC_VREF	A,I	GPADC VREF 输入
55	XTAL48M_XI	A,I	48MHz 晶体接口
54	XTAL48M_XO	A,O	48MHz 晶体接口
53	BRF_ANT	A,I/O	天线接口
52	AVDD_BRF	PWR	射频电源输入
41	ADCP	A,I	音频 ADC 输入
40	MIC_BIAS	PWR	MIC 电源输出
39	AUD_VREF	A,I	音频参考电压输入
38	AVDD33_AUD	PWR	音频电源输入
37	DACP	A,O	音频 DAC 输出
36	DACN	A,O	音频 DAC 输出
69	EPAD	GND	地

*SF32LB520Ux6 需要外供电源，SF32LB523/5/7Ux6 由内部 LDO 供电，只需挂电容。

5.3 封装尺寸



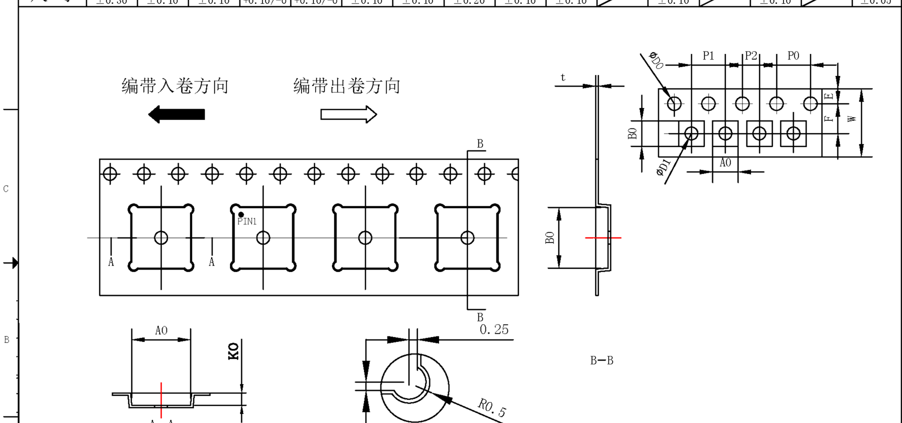
		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.8	0.85	0.9
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.65	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.1	0.15	0.2
BODY SIZE	X	D	7 BSC		
	Y	E	7 BSC		
LEAD PITCH		e	0.35 BSC		
EP SIZE	X	D2	5.39	5.49	5.59
	Y	E2	5.39	5.49	5.59
LEAD LENGTH		L	0.35	0.4	0.45
		L1	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.355 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

NOTES
1.REFER TO JEDEC MO-220;
2.COPLANARITY APPLIES TO LEADS, CORNER LEADS AND DIE ATTACH PAD;
3.BAN TO USE THE LEVEL 1 ENVIRONMENT-RELATED SUBSTANCES;
4.FINISH: Cu/EP ·SnB~20u

图 5-2: QFN68L 封装尺寸

5.4 载带尺寸

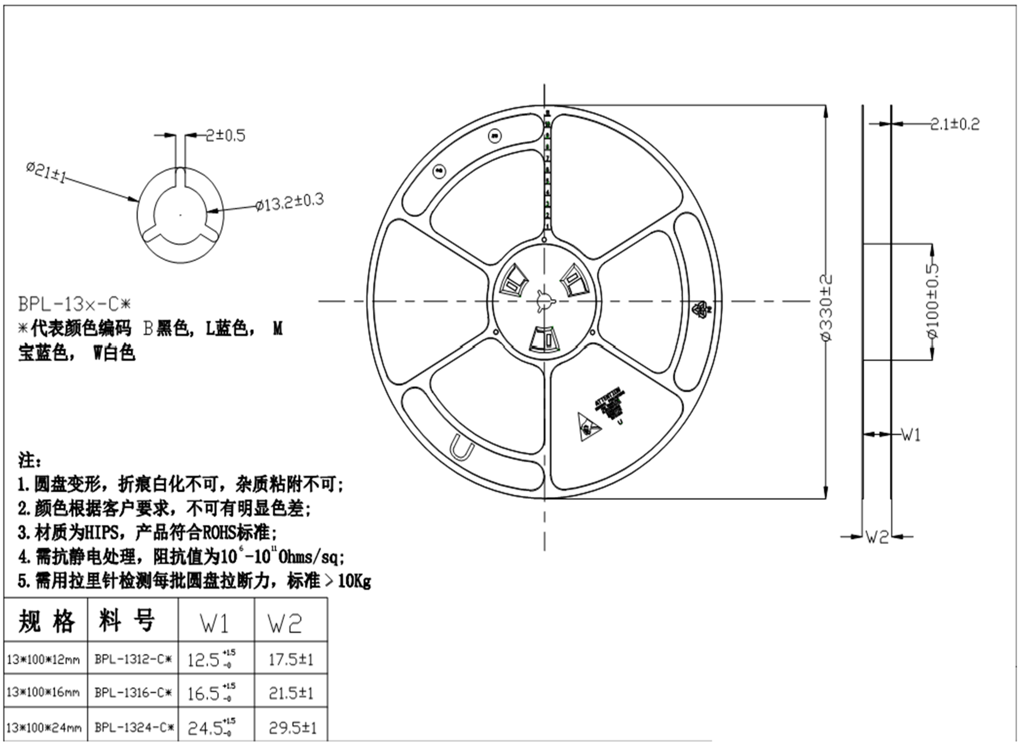
规格	W	E	F	D0	D1	P0	P2	10P0	P1	A0	A1	B0	B1	K0	K1	t
尺寸	16.00 ±0.30	1.75 ±0.10	7.50 ±0.10	1.50 +0.10/-0	1.50 +0.10/-0	4.00 ±0.10	2.00 ±0.10	40.00 ±0.20	12.00 ±0.10	7.30 ±0.10		7.30 ±0.10		1.25 ±0.10		0.30 ±0.05



NOTE:
1.载带设计符合EIA-481标准
The design of carrier tape must meet EIA-481
2.每10个定位孔累计公差±0.2毫米
Each 10 sprocket holes pitch cumulative tolerance is± 0.2mm
3.载带弯曲度每250mm不超过1毫米
Carrier tape camber should not exceed 1mm in 250mm
4.符合RoHS环境物质管理
Meet RoHS environment material management

图 5-3: 载带尺寸

5.5 卷盘尺寸



规 格	料 号	W1	W2
13*100*12mm	BPL-1312-C*	12.5$^{+1.5}_{-0}$	17.5±1
13*100*16mm	BPL-1316-C*	16.5$^{+1.5}_{-0}$	21.5±1
13*100*24mm	BPL-1324-C*	24.5$^{+1.5}_{-0}$	29.5±1

图 5-4: 卷盘尺寸

5.6 分级回流焊

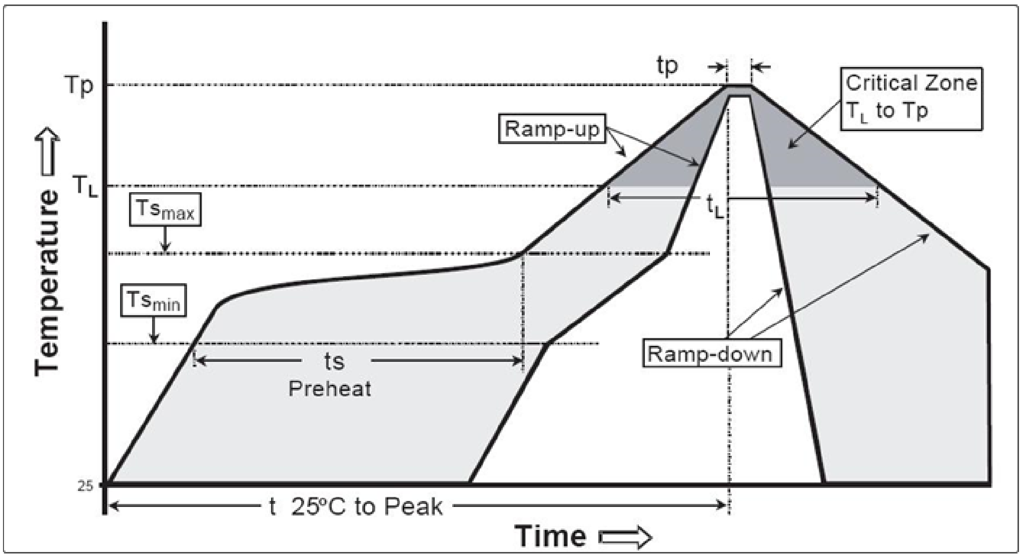


图 5-5: 分级回流焊

表 5-4: 分级回流焊对照表

项目	锡-铅工艺	无铅工艺
平均升温速率 (Ts_{max} to T_p)	最大 3°C/秒	最大 3°C/秒
预热初温 (Ts_{min}) 预热目标温度 (Ts_{max}) 预热时长 (Ts_{min} to Ts_{max})	100°C 100°C 60-120 秒	150°C 200°C 60-180 秒
恒温温度 (T_L) 恒温时长 (t_L)	183°C 60-150 秒	217°C 60-150 秒
尖峰温度（T_p）	225+0/-5°C	240+0/-5°C
尖峰温度时长（tp）	10-30 秒	20-40 秒
降温速率	最大 6°C/秒	最大 6°C/秒
25°C 到尖峰温度时长 (t)	最多 6 分钟	最多 8 分钟

表 5-5: 无铅工艺峰值回流温度对照表

封装厚度	体积（mm^3）<350	体积（mm^3）≥350
<2.5mm	240 + 0/-5°C	225 + 0/-5°C
≥2.5mm	225 + 0/-5°C	225 + 0/-5°C

表 5-6: 无铅工艺分级回流温度对照表

封装厚度	体积（mm^3）<350	体积（mm^3）350-2000	体积（mm^3）>2000
<1.6mm	260 + 0 °C	260 + 0 °C	260 + 0 °C
1.6mm –2.5mm	260 + 0 °C	250 + 0 °C	245 + 0 °C
≥2.5mm	250 + 0 °C	245 + 0 °C	245 + 0 °C

5.7 订购信息

表 5-7: 订购信息

料号	封装	合封规格	每盘数量 (PCS)
SF32LB520U36	QFN68L: 7×7×0.85mm-0.35	8Mb NOR Flash	3000
SF32LB523UB6	QFN68L: 7×7×0.85mm-0.35	32Mb OPI-pSRAM	3000
SF32LB525UC6	QFN68L: 7×7×0.85mm-0.35	64Mb OPI-pSRAM	3000
SF32LB527UD6	QFN68L: 7×7×0.85mm-0.35	128Mb OPI-pSRAM	3000

相关资源

- 《AN5201-SF32LB52x-HDK 使用指南（A 版）》
- 《AN5202-SF32LB52x-硬件设计指南》
- 《AN5203-SF32LB52x-HDK 使用指南（B 版）》
- 《AN5204-SF32LB52XV-HDK 使用指南》
- 《AN-SF01-付款码乘车码对接》
- 《AN-SF02-SDK 环境安装指南》
- 《AN-SF03-低功耗开发指南》

地址：江苏自贸区南京片区浦滨路 320 号科创总部大厦 B 座 419-13　200131　邮箱：sales@sifli.com